

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masahiro SUNOHARA**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **November 3, 2003**

For: **SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: November 3, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-320980, filed November 5, 2002**


In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,  
HANSON & BROOKS, LLP

  
Donald W. Hanson  
Attorney for Applicant  
Reg. No. 27,133

DWH/jaz  
Atty. Docket No. **031256**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月 5日  
Date of Application:

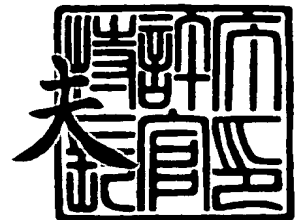
出願番号 特願2002-320980  
Application Number:  
[ST. 10/C]: [JP 2002-320980]

出願人 新光電気工業株式会社  
Applicant(s):

2003年10月15日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 14-147

【提出日】 平成14年11月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00  
H05K 3/46

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 23

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 春原 昌宏

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社

【代理人】

【識別番号】 100091672

【住所又は居所】 東京都中央区日本橋人形町 3 丁目 1 1 番 7 号  
山西ビル 4 階

【弁理士】

【氏名又は名称】 岡本 啓三

【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1



【包括委任状番号】 9816048

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 表面に配線パターンを備えた配線基板を用意する工程と、  
一方の面に所定素子と接続端子とを備えた電子チップの該接続端子を前記配線  
基板の配線パターンにフリップチップ接合する工程と、

前記電子チップを被覆する膜厚、又は前記電子チップの少なくとも他方の面が  
露出する膜厚で前記配線基板上に第 1 絶縁膜を形成する工程と、

前記第 1 絶縁膜及び前記電子チップの他方の面を削ることにより、前記電子チ  
ップの厚みを薄くする工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記電子チップの厚みを薄くする工程は、グラインダーによ  
り研削する工程、又はグラインダーにより研削し、次いで、CMPにより研磨す  
る工程であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記チップの厚みを薄くする工程において、前記電子チップ  
の研削面と前記第 1 絶縁膜の上面とは略同一の高さになって平坦化されることを  
特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記電子チップの厚みを薄くする工程の後に、  
前記電子チップに、該電子チップの他方の面の所定部から前記電子チップの一  
方の面の接続端子に到達する深さのビアホールを形成する工程と、

前記電子チップ及び第 1 絶縁膜の上に第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の前記ビアホールに対応する部分を含む所定部をエッチングす  
ることにより、前記ビアホールに連通する配線溝を形成する工程と、

前記ビアホール及び配線溝内に導電膜を埋め込むことにより、前記接続端子に  
前記ビアホールを介して接続された導電膜パターンを形成する工程とをさらに有  
することを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造  
方法。

【請求項 5】 前記配線パターンを形成する工程の後に、

前記電子チップを前記フリップチップ接合する工程から、前記接続端子に前記  
ビアホールを介して接続された導電膜パターンを形成する工程までの一連の工程

を  $n$  回 ( $n$  は 1 以上の整数) 繰り返すことに基づいて、前記配線基板の上に複数の電子チップを 3 次元的に積層して実装する工程をさらに有することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記配線基板は前記配線パターンと同時に形成されたアライメントマークを備えており、前記電子チップにビアホールを形成する工程において、前記アライメントマークを認識することに基づいて前記電子チップのビアホールが形成される部分が特定されることを特徴とする請求項 4 又は 5 に記載の半導体装置の製造方法。

【請求項 7】 前記電子チップにビアホールを形成する工程において、前記電子チップの他方の面から X 線、赤外線又は可視光線を照射して透過させ、前記電子チップの一方の面の所定パターンを認識することに基づいて前記電子チップのビアホールが形成される部分が特定されることを特徴とする請求項 4 又は 5 に記載の半導体装置の製造方法。

【請求項 8】 前記電子チップの厚みを薄くする工程の後に、

前記第 1 絶縁膜に、該第 1 絶縁膜の所定部上面から前記配線基板の配線パターンに到達する深さのビアホールを形成する工程と、

前記電子チップ及び第 1 絶縁膜の上に第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜の前記ビアホールに対応する部分を含む所定部をエッチングすることにより、前記ビアホールに連通する配線溝を形成する工程と、

前記ビアホール及び配線溝内に導電膜を埋め込むことにより、前記配線基板の配線パターンに前記ビアホールを介して接続された導電膜パターンを形成する工程とをさらに有することを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 9】 前記配線パターンを形成する工程の後に、

前記電子チップを前記フリップチップ接合する工程から、前記配線基板の配線パターンに前記ビアホールを介して接続された導電膜パターンを形成する工程までの一連の工程を  $n$  回 ( $n$  は 1 以上の整数) 繰り返すことに基づいて、前記配線基板の上に複数の電子チップを 3 次元的に積層して実装する工程をさらに有することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記配線基板の上に複数の電子チップを 3 次元的に積層して実装する工程の後に、最上の前記電子チップの上又は上方にパシベーション膜を形成する工程をさらに有することを特徴とする請求項 5 又は 9 に記載の半導体装置の製造方法

【請求項 11】 前記配線基板において、前記配線パターンに接続されると共に、該配線基板を貫通するスルーホール内に充填された導電性プラグを有し、  
前記配線基板の上に複数の電子チップを 3 次元的に積層して実装する工程の後に、前記配線基板の前記配線パターンが形成された面と反対面に露出する前記導電性プラグに接続されるバンプを形成する工程をさらに有することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 12】 前記パシベーション膜を形成する工程の後に、  
前記配線基板の配線パターンの上であって、前記電子チップが実装されていない領域上の前記第 1 絶縁膜及び第 2 絶縁膜からなる複数の層間絶縁膜と前記パシベーション膜とをエッチングすることにより、前記配線パターンの一部を露出させるビアホールを形成する工程と、  
前記ビアホール内に導電性プラグを形成する工程と、  
前記導電性プラグに接続されたバンプを形成する工程とを有することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 13】 前記配線基板は、表面に前記配線パターンを備えた金属板であって、前記パシベーション膜を形成する工程の後に、  
前記金属板を、前記配線パターン及び前記第 1 絶縁膜に対して選択的にエッチングして除去することにより、前記配線パターンを露出させる工程と、  
前記配線パターンに接続されたバンプを形成する工程とを有することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 14】 前記配線基板は、金属板に設けられた凹部に充填されたはんだ層と該はんだ層上に形成された前記配線パターンとを備えた前記金属板であって、前記パシベーション膜を形成する工程の後に、  
前記金属板を、前記はんだ層及び前記第 1 絶縁膜に対して選択的にエッチングして除去することにより、前記はんだ層を露出させてバンプとする工程を有する

ことを特徴とする請求項 10 に記載の半導体装置の製造方法。

【請求項 15】 前記電子チップが積層されて実装された構造体が前記配線基板の複数の領域に形成されており、前記バンプを形成する工程の前又は後に、前記電子チップが積層されて実装された構造体が所定数含まれるように、前記配線基板を分割する工程をさらに有することを特徴とする請求項 11 乃至 14 のいずれか一項に記載の半導体装置の製造方法。

【請求項 16】 前記電子チップの厚みを薄くする工程において、前記電子チップの厚みは  $150\ \mu\text{m}$  程度以下になることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 17】 電子チップの一方の面に所定素子及び接続端子を備え、かつ、他方の面側に、前記電子チップを貫通するビアホールを介して前記接続端子に電氣的に接続された導電膜パターンを備えた複数の前記電子チップが、層間絶縁膜に埋設された状態で、配線パターンを備えた配線基板の上に該配線基板の面方向と直交する方向に積み重なって実装された半導体装置であって、

前記電子チップは、厚みが  $150\ \mu\text{m}$  程度以下であると共に、前記複数の電子チップの接続端子はそれぞれ下側の前記配線基板の配線パターン又は前記電子チップの導電膜パターンにフリップチップ接合されていて、前記複数の電子チップが前記電子チップのビアホールを介して相互接続されるようにしたことを特徴とする半導体装置。

【請求項 18】 前記複数の電子チップの最上の電子チップの上又は上方に形成されたパシベーション膜をさらに有することを特徴とする請求項 17 に記載の半導体装置。

【請求項 19】 前記配線基板の配線パターンが形成された面と反対面に、前記配線基板を貫通するスルーホールを介して、前記配線パターンに電氣的に接続されたバンプが設けられていることを特徴とする請求項 17 に記載の半導体装置。

【請求項 20】 前記半導体装置のパシベーション膜が形成された面に、前記配線基板の配線パターンの上で、かつ前記電子チップが実装されていない領域上の前記層間絶縁膜及びパシベーション膜に形成されたビアホールを介して電気



的に接続されたバンプが設けられていることを特徴とする請求項 17 に記載の半導体装置。

【請求項 21】 電子チップの一方の面に所定素子及び接続端子を備え、かつ、他方の面側に、前記電子チップを貫通するビアホールを介して前記接続端子に電氣的に接続された導電膜パターンを備えた複数の前記電子チップが、絶縁膜に埋設された状態で、3 次元的に積み重なって実装された半導体装置であって、

前記電子チップは、厚みが  $150\mu\text{m}$  程度以下であると共に、前記複数の電子チップのうちの最下の電子チップの接続端子は、下側面が露出する状態で絶縁膜に埋め込まれて形成された配線パターンの上側面にフリップチップ接合され、かつ、前記複数の電子チップのうちのその他の電子チップの接続端子はそれぞれ下側の電子チップの導電膜パターンにフリップチップ接合されていて、前記複数の電子チップが前記電子チップのビアホールを介して相互接続されるようにしたことを特徴とする半導体装置。

【請求項 22】 前記最下の電子チップの接続端子が接合された配線パターンの下側面にはバンプが接続されていることを特徴とする請求項 21 に記載の半導体装置。

【請求項 23】 前記半導体チップの他方の面側に形成された導電膜パターンは、前記半導体チップの他方の面に接触して形成されていることを特徴とする請求項 17 又は 21 に記載の半導体装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は半導体装置及びその製造方法に係り、より詳しくは、半導体チップなどが 3 次元実装された半導体装置及びその製造方法に関する。

##### 【0002】

#### 【従来の技術】

マルチメディア機器を実現するためのキーテクノロジーである L S I 技術はデータ伝送の高速化、大容量化に向かって着実に開発が進んでいる。これに伴って、L S I と電子機器とのインターフェイスとなる実装技術の高密度化が進められ

ている。

#### 【0003】

さらなる高密度化の要求から、基板上に複数の半導体チップを3次元的に積層して実装したマルチチップパッケージ（半導体装置）が開発されている。その一例として、特許文献1～3には、配線基板上に複数の半導体チップが積層された構造を有する半導体装置が記載されている。

#### 【0004】

近年、このようなマルチチップパッケージでは、その全体の厚みを薄くする必要があることから、個々の半導体チップをできるだけ薄型化して実装する必要がある。

#### 【0005】

薄型化された半導体チップを得る従来技術1としては、まず、所定の素子が形成された半導体ウェハの素子形成面に第1保護テープを接着して支持した状態で、半導体ウェハの背面をグラインダーにより研削して半導体ウェハの厚みを例えば100 $\mu$ m以下に薄くする。その後、半導体ウェハの研削面を第2保護テープに接着させた後に、第1保護テープを半導体ウェハから剥離する。次いで、第2保護テープ上の半導体ウェハをダイシングすることにより、薄型化された個々の半導体チップを得る。

#### 【0006】

また、従来技術2としては、まず、半導体ウェハの素子形成面に剛性を有するガラス基板を接着し、半導体ウェハの裏面をグラインダーにより研削して半導体ウェハの厚みを薄くする。次いで、ガラス基板から半導体ウェハを剥離した後に、半導体ウェハをダイシングして薄型化された個々の半導体チップを得る。

#### 【0007】

さらに、従来技術3としては、まず、所定の素子が形成された2つの半導体ウェハの素子形成面同士をバンプなどを介して電氣的に接続した後に、一方の半導体ウェハの裏面をグラインダーにより研削してその厚みを薄くする。その後、接着された2つの半導体ウェハをダイシングして個々の積層された半導体チップを得る。

## 【0008】

## 【特許文献1】

特開 2001-196525号公報

## 【特許文献2】

特開 2001-177045号公報

## 【特許文献3】

特開 2000-323645号公報

## 【0009】

## 【発明が解決しようとする課題】

上記した従来技術1では、保護テープが十分な剛性をもたないため、第1保護テープに接着された状態で薄型化された半導体ウェハを搬送する際に半導体ウェハが割れてしまったり、半導体ウェハ上のパシベーション膜などの残留応力によって半導体ウェハに反りが発生し、半導体ウェハを収納カセットに搬送できなくなったりすることがある。

## 【0010】

また、上記した従来技術2では、支持体として剛性を有するガラス基板を用いるため従来技術1のようなウェハ搬送上の不具合は解消されるものの、ガラス基板に接着された状態で薄型化された半導体ウェハをガラス基板から割らずに剥離することは困難を極める。

## 【0011】

さらに、上記した従来技術3では、どちらか一方の半導体ウェハが支持基板を兼ねるようにしているので半導体ウェハを支持基板から剥離する必要はないが、半導体ウェハ全体のチップが個片化されて実装されることになるため、積層された半導体チップに不良チップが混在する可能性があり、半導体装置の製造歩留りが低下する恐れがある。

## 【0012】

なお、上記した特許文献1～3には、基板上に半導体チップを3次元的に積層することが記載されているだけであって、例えば150 $\mu$ m程度以下に薄型化された半導体チップを積層することにより半導体装置全体の厚みを薄くすることに

関しては何ら考慮されていない。

#### 【0013】

本発明は以上の問題点を鑑みて創作されたものであり、何ら不具合が発生することなく、配線基板上に厚みの薄い電子チップ（例えば $150\mu\text{m}$ 以下）を実装することができる半導体装置の製造方法及び半導体装置を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

上記課題を解決するため、本発明は半導体の製造方法に係り、表面に配線パターンを備えた配線基板を用意する工程と、一方の面に所定素子と接続端子とを備えた電子チップの該接続端子を前記配線基板の配線パターンにフリップチップ接合する工程と、前記電子チップを被覆する膜厚、又は前記電子チップの少なくとも他方の面が露出する膜厚で前記配線基板上に第1絶縁膜を形成する工程と、前記第1絶縁膜及び前記電子チップの他方の面を削ることにより、前記電子チップの厚みを薄くする工程とを有することを特徴とする。

#### 【0015】

本発明では、個片化された良品の電子チップを剛性の強い配線基板にフリップチップ接合し、電子チップを第1絶縁膜で被覆して支持した後に、第1絶縁膜と電子チップとを削ることにより電子チップの厚みを薄くする。あるいは、電子チップを第1絶縁膜で完全に被覆せずに、電子チップの他方の面（研削される背面）又は側面の一部が露出する程度の膜厚で第1絶縁膜を形成してもよい。電子チップの厚みを薄くする工程では、グラインダーにより研削してもよいし、あるいは、グラインダーにより研削した後に、CMPにより研磨してもよい。

#### 【0016】

このようにすることにより、従来技術1及び2のような仮の支持体に接着された半導体ウェハを研磨して薄型化する方法と違って、半導体ウェハが割れるといった不具合は発生しない。また、本発明では、良品の電子チップを選定して配線基板上に実装することができるため、従来技術3のような2つの半導体ウェハを接合した後に一方の半導体ウェハを研磨して薄型化する方法と違って、不良の電子

チップが配線基板に実装される恐れがない。

【0017】

また、本発明では、個片化された電子チップが配線基板にフリップチップ実装された後に研削されて薄型化されるので、取り扱いが困難な薄型化された電子チップをハンドリングする必要がない。

【0018】

さらには、電子チップはその側面が絶縁膜により支持された状態で研削されるようにしたので、研削工程において電子チップと配線基板との接合にダメージを与える恐れがなく、半導体装置の製造歩留りの低下が防止される。

【0019】

上記した半導体装置の製造方法において、前記チップの厚みを薄くする工程では、前記電子チップの研磨面と前記絶縁膜の上面とが略同一の高さになるように平坦化されることが好ましい。

【0020】

電子チップと第1絶縁膜とを同時に研削することにより、電子チップの研削面と第1絶縁膜の上面とを略同一面にして平坦化することが可能になる。このため、電子チップ上に他の電子チップをフリップ実装する際の接合の信頼性を向上させることができるばかりではなく、 bumps を介さずに接合できるようになる。従って、複数の電子チップが積層された半導体装置の厚みをさらに薄くすることが可能となる。

【0021】

このように何ら不具合が発生することなく、薄型化された電子チップ（例えば厚みが150  $\mu\text{m}$ 以下）を配線基板に容易に実装することができるようになる。

【0022】

また、本発明の一つの好適な態様では、前記電子チップの厚みを薄くする工程の後に、前記電子チップに、該電子チップの他方の面の周縁所定部から前記電子チップの一方の面の接続端子に到達する深さのビアホールを形成する工程と、前記電子チップ及び第1絶縁膜の上に第2絶縁膜を形成する工程と、前記第2絶縁膜のビアホールに対応する部分を含む所定部をエッチングすることにより、前記

ビアホールに連通する配線溝を形成する工程と、前記ビアホール及び配線溝内に導電膜を埋め込むことにより、前記接続端子に前記ビアホールを介して接続された導電膜パターンを形成する工程とをさらに有する。

#### 【0023】

これにより、電子チップの他方の面（研削面）側には、電子チップに形成されたビアホールを介して一方の面の接続端子に接続される導電膜パターンが形成される。そして、電子チップの導電膜パターンに上側の電子チップの接続端子がフリップチップ実装され、続いて研削された後に、上記した工程が繰り返し行なわれて、複数の電子チップが積層されて実装される。このようにして、3次元的に積層された複数の電子チップはそれを貫通するビアホールを介して相互接続される。

#### 【0024】

このため、任意の大きさの複数の電子チップをお互いの大きさに制限されることなく配置して積層することができるようになる。これにより、実装できる電子チップの選択が広がって設計の自由度を向上させることができる。これに加えて、ワイヤで結線する場合などより配線長を短くすることができ、高周波用途の半導体装置では信号速度の高速化に対応できるようになる。

#### 【0025】

あるいは、電子チップにビアホールを形成せずに、電子チップ近傍の絶縁膜にビアホールを開口し、電子チップの一方の面の接続端子が絶縁膜のビアホールを介して他方の面の導電膜パターンと電氣的に接続されるようにしてもよい。

#### 【0026】

##### 【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

#### 【0027】

##### （第1の実施の形態）

図1～図4は本発明の第1実施形態に係る半導体装置の製造方法を順に示す断面図、図5は図3（c）～図3（d）の工程の詳細を示す断面図である。

#### 【0028】

本発明の第1実施形態の半導体装置の製造方法は、図1(a)に示すように、まず、厚みが例えば400 $\mu$ m程度のシリコン基板10を用意する。その後、図1(b)に示すように、フォトリソグラフィによりシリコン基板10上にレジスト膜(不図示)をパターンニングし、このレジスト膜をマスクにしてシリコン基板10をドライエッチングすることにより深さが3~5 $\mu$ mの配線溝10aを形成する。このとき、シリコン基板10には複数の半導体チップがそれぞれ実装される領域が画定され、さらにアライメントマークを形成するための溝10xが同時に形成される。この溝10xは、複数の半導体チップ実装領域ごとにその近傍に形成されるようにしてもよいし、シリコン基板10の周辺領域に形成されるようにしてもよい。

#### 【0029】

次いで、図1(c)に示すように、配線溝10aの底面所定部が開口するようにしてフォトリソグラフィによりレジスト膜(不図示)をパターンニングし、このレジスト膜をマスクにしてシリコン基板10をドライエッチングすることにより、一方の面から他方の面に貫通するスルーホール10bを形成する。このようにして、シリコン基板10に配線溝10aとそれに連通するスルーホール10bとが形成される。

#### 【0030】

続いて、図1(d)に示すように、配線溝10a及びスルーホール10bが形成されたシリコン基板10上にCVD法によりシリコン酸化膜などの無機絶縁膜12を形成する。これにより、配線溝10a及びスルーホール10bの内面とシリコン基板10の上面が無機絶縁膜12により被覆される。この無機絶縁膜12は、配線溝10a及びスルーホール10bに後工程で埋め込まれる導電体とシリコン基板10との間を絶縁するために形成される。

#### 【0031】

次いで、同じく図1(d)に示すように、無機絶縁膜12上にスパッタ法又はCVD法によりチタン窒化膜(TiN膜)又はタンタル窒化膜(TaN膜)などのバリア膜14を形成する。その後、バリア膜14上にスパッタ法などにより銅からなるシード膜16を形成する。続いて、バリア膜14及びシード膜16をめ

つき給電層とした電解めっきよりスルーホール 10 b 及び配線溝 10 a を埋め込む膜厚で Cu 膜 18 を形成する。

#### 【0032】

次いで、図 2 (a) に示すように、CMP (Chemical Mechanical Polishing) 法により、シリコン基板 10 の上面の無機絶縁膜 12 が露出するまで Cu 膜 18、シード膜 16 及びバリア膜 14 を研磨する。これにより、いわゆるダマシン法によってスルーホール 10 b 及び配線溝 10 a に Cu 膜 18、シード膜 16 及びバリア膜 14 が埋め込まれて、スルーホール 10 b 内に充填された導電性プラグ 18 b とそれに繋がる配線パターン 18 a となる。このとき、前述したアライメントマーク用の溝 10 x にも Cu 膜 18、シード膜 16 及びバリア膜 14 が埋め込まれてアライメントマーク 19 が同時に形成される。

#### 【0033】

このようにして、シリコン基板 10 に所要の導電性プラグ 18 b 及び配線パターン 18 a などが形成されて配線基板 11 が得られる。

#### 【0034】

なお、上記した形態では、ダマシン法を用いて導電性プラグ 18 b とそれに接続された配線パターン 18 a とを形成したが、スルーホール内に導電性プラグが充填されたシリコン基板を用意し、いわゆるアディティブ法又はサブトラクティブ法により導電性プラグに接続される Cu 配線を形成して配線パターンとしてもよい。

#### 【0035】

次いで、図 2 (b) に示すように、一方の面にトランジスタなどの所定素子（不図示）と接続パッド 21（接続端子）とそれに接続されたバンプ 23（接続端子）とを備えた半導体チップ 20（電子チップ）を用意する。この半導体チップ 20 は、一般的な製造方法により半導体ウェハに所定の素子などが形成された後に、半導体ウェハがダイシングされてチップ化されたものであり、その厚みは例えば 500  $\mu$ m 程度である。また、ここで用意される半導体チップ 20 は所定の検査に合格した良品であって不良品となった半導体チップは除外される。なお、電子チップの一例として半導体チップ 20 を例示したが、シリコンチップの一方の



面にコンデンサ素子や抵抗を備えたものなどの各種電子チップを用いてもよい。

#### 【0036】

その後、図2（b）に示すように、良品の半導体チップ20のバンプ23を配線基板11の配線パターン18aにフリップチップ接合する。このとき、配線基板11の複数の半導体チップ実装領域に複数の半導体チップ20がそれぞれ素子不形成面（以下は背面という）が上面になった状態で実装される。フリップチップ接合の方法としては、例えば、半導体チップ20のバンプ23としてはんだバンプを用い、半導体チップ20のバンプ23と配線基板11の配線パターン18aとをはんだ接合する。あるいは、半導体チップ20のバンプ23としてAuバンプを用い、半導体チップ20のバンプ23と配線基板11の配線パターン18aと異方性導電材（ACF）を介して接合してもよい。

#### 【0037】

次いで、図2（c）に示すように、配線基板11と半導体チップ20との隙間にアンダーフィル樹脂22を充填する。あるいは、半導体チップ20を接合する前に予め配線基板11の配線パターン18aを含む所定領域に絶縁樹脂（NCF又はNCP）を塗布し、この樹脂を介在させた状態でフリップチップ接合を行なうようにしてもよい。

#### 【0038】

続いて、同じく図2（c）に示すように、半導体チップ20及び配線基板11上に半導体チップ20を被覆する第1絶縁膜24を形成する。あるいは、後述する第2実施形態で説明するように、半導体チップ20の背面が露出するようにして第1絶縁膜24を形成してもよい。

#### 【0039】

本実施形態では、第1絶縁膜24の一例として、エポキシ系樹脂、ポリフェニレンエーテル系樹脂、フェノール系樹脂及びフッ素系樹脂などの熱硬化性樹脂の群から選択される材料からなる樹脂フィルムを使用することができる。この樹脂フィルムは、まず、50～1000Pa程度の真空下、ステージ温度50～160℃の条件下で半導体チップ20及び配線基板11上にラミネートされる。その後、100℃の雰囲気の中で10分間程度熱処理されることにより硬化

されて樹脂膜が形成される。第1絶縁膜24としての樹脂膜は、後工程で研削されるため熱処理された後に剛性を有するものを使用することが好ましい。

#### 【0040】

なお、第1絶縁膜24としての樹脂膜は、上記した樹脂フィルムをラミネートする方法の他に、樹脂膜をスピコート法又は印刷により形成するようにしてもよい。また、第1絶縁膜24として樹脂膜の他に、CVD法により形成されたシリコン酸化膜又はシリコン窒化膜などを使用してもよい。

#### 【0041】

このようにして、半導体チップ20は第1絶縁膜24に被覆されて支持された状態となる。

#### 【0042】

次いで、図2(d)に示すように、グラインダーにより、第1絶縁膜24を研削して半導体チップ20の背面を露出させ、続いて半導体チップ20と第1絶縁膜24とを同時に研削して半導体チップ20の厚みを薄くする。研削に使用されるグラインダーは研削送り速度が多段階で切り換えできるものを使用することが好ましい。

#### 【0043】

この研削工程は、まず、 $20 \sim 30 \mu\text{m}$ のダイヤモンド粒子をビトリファイド（ガラス系セラミック）又はレジンボンド（有機樹脂）で結合した研削ホイール（砥石）を用いて、半導体チップ20の厚みを $100 \mu\text{m}$ 程度まで粗研削する。砥石スピンドル回転数は $3000 \sim 5000 \text{ rpm}$ 程度で、研削送り速度は半導体チップ20の厚みが薄くなるにつれて低速度になるようにする（例えば、1ステップ目（ $5 \sim 3 \mu\text{m/sec}$ ）、2ステップ目（ $2 \sim 0.5 \mu\text{m/sec}$ ）、3ステップ目（ $1 \sim 0.3 \mu\text{m/sec}$ ））。

#### 【0044】

その後、 $1 \sim 10 \mu\text{m}$ ダイヤモンド粒子をビトリファイド又はレジンボンド（有機樹脂）で結合した研削ホイール（砥石）を用いて、半導体チップ20の厚みを $25 \mu\text{m}$ 程度まで仕上げ研削する。砥石スピンドル回転数は $3000 \sim 5000 \text{ rpm}$ 程度で、研削送り速度は半導体チップ20の厚みが薄くなるにつれて低

速度になるようにする（例えば、1ステップ目（ $1 \sim 0.5 \mu\text{m/sec}$ ）、2ステップ目（ $0.5 \sim 0.2 \mu\text{m/sec}$ ）、3ステップ目（ $0.2 \sim 0.05 \mu\text{m/sec}$ ））。

#### 【0045】

なお、グラインダーによる半導体チップ20と樹脂膜との研削では、砥石に研削屑が目詰まりして半導体チップ20に焼けつき不良が発生することがあるので、上記したように砥石の結合材としてはガラス系セラミック又は樹脂のような硬くて脆い材料を選定することが望ましい。

#### 【0046】

このような結合材を使用した砥石を用いることにより、結合材にワーク（被研削体）が接触し難くなることから、砥石のダイヤモンドが目詰まりを起こす前に研削屑が脱離して新鮮なダイヤモンドが露出する効果（ダイヤモンドの自生効果）が生じるようになるため、砥石の目詰まりが防止される。また、砥石の結合材の気泡率が比較的高い構造とすることが好ましい。これにより、研削屑が砥石のエアポケットに逃げることを期待できるため砥石の目詰まりが防止される。

#### 【0047】

次いで、半導体チップ20及び第1絶縁膜24の研削面に発生した研削ダメージを除去する場合や完全な平坦化を行なう場合には、半導体チップ20及び第1絶縁膜24をさらに $1 \sim 5 \mu\text{m}$ 程度CMP法により研磨する。なお、上記したグラインダーによる研削により半導体チップ20と第1絶縁膜24との研削面は概ね同一面になって平坦化されるので、この研磨工程を省略しても何ら差し支えない。

#### 【0048】

この研磨工程では研削面の研削ダメージ除去及び完全な平坦化を行なうため、半導体チップ20と第1絶縁膜（樹脂膜）24との研磨レートが同等になるようなCMPの条件を採用することが好ましい。

#### 【0049】

すなわち、例えば、ポリウレタン系の研磨布と、コロイダルシリカ、酸化セリウム、炭化珪素、窒化珪素、酸化鉄又はアルミナをアンモニア又はKOH等のア

ルカリ水溶水に分散させたスラリーとを用いたCMP法により行なわれる。そして、研磨パッド及び配線基板11はそれぞれ200～500rpmの回転数で回転し、配線基板11の面積のうち1/2～2/3程度の面が研磨パッドに接触した状態で研磨が行なわれる。また、スラリー液は、研磨パッド内に配置された内部ノズルと研磨パッドの外部に配置された外部ノズルからそれぞれ研磨面に供給されるようになっている。このような構成とすることにより、研磨効率を向上させることができると共に、研磨の面内均一性を向上させることができる。

#### 【0050】

このようにして、グラインダーで研削された半導体チップ20と第1絶縁膜24との研削面をさらにCMP法で研磨することにより、研削面の研削ダメージが除去されると共に、半導体チップ20と第1絶縁膜24との研磨面の平坦性をさらに向上させることができる。

#### 【0051】

以上の研削工程及び研磨工程により、半導体チップ20はその厚みが例えば20μm程度に薄型化される。半導体チップ20の最終的な厚みは適宜調整されることはもちろんである。

#### 【0052】

本実施形態では、個片化された半導体チップ20を剛性の強い配線基板11にフェイスダウンでフリップチップ接合して実装し、半導体チップ20を第1絶縁膜24で被覆して支持した後に、第1絶縁膜24と半導体チップ20とを研削して半導体チップ20を薄型化している。

#### 【0053】

このように本実施形態では、支持体を兼ねる配線基板11上に個片化された半導体チップ20を実装し、それを第1絶縁膜24で支持した後に、半導体チップ20を研削して薄型化するため、従来技術1及び2のような仮の支持体に接着された半導体ウェハを研削して薄型化する方法と違って、半導体ウェハが割れるといった不具合は発生しない。

#### 【0054】

また、本実施形態では、半導体チップの良否を検査した後に良品チップのみを

配線基板に実装するようにしているため、従来技術 3 のような 2 つの半導体ウェハを接合した後に一方の半導体ウェハを研削して薄型する方法と違って、不良チップが配線基板 11 上に実装される恐れがない。

#### 【0055】

なお、本実施形態と違って半導体チップ 20 がアンダーフィル樹脂 22 のみで接着された状態で半導体チップ 20 を研削する場合、研削時のダメージにより半導体チップ 20 と配線基板 11 との間に接合不良が発生する恐れがある。しかしながら、本実施形態では、半導体チップ 20 が研削されるときにその側面が第 1 絶縁膜 24 に支持された状態で研削されるため、研削工程で半導体チップ 20 と配線基板 11 との接合にダメージを与える恐れがなく、半導体装置の製造歩留りの低下が防止される。

#### 【0056】

また、半導体チップ 20 と第 1 絶縁膜 24 との研削面とを略同一面にして平坦化することが可能になるため、後で説明するように、半導体チップ 20 上に他の半導体チップをフリップチップ接合して積層する際に都合がよい。

#### 【0057】

次に、図 2 (d) に示す半導体チップ 20 の背面側に素子形成面側の接続パッド 21 に接続される配線パターンを形成する方法を説明する。まず、薄型化された半導体チップ 20 の背面の周縁部における接続パッド 21 に対応する所定部分に開口部を有するレジスト膜（不図示）をフォトリソグラフィによりパターンニングする。

#### 【0058】

このとき、第 1 絶縁膜 24 として透明膜を使用する場合には、光学系の位置合わせ手段により前述したアライメントマーク 19 を認識することにより位置合わせを行なうことができる。これによりレジスト膜の開口部は所望の位置に精度よく位置合わせされた状態で形成される。

#### 【0059】

なお、複数の半導体チップ実装領域ごとに形成されたアライメントマーク 19 を認識してアライメントを行なうダイバイダイアライメント方式を用いてもよい。

し、配線基板 11 の周辺領域に形成されたアライメントマーク 19 から設計上の露光位置を推定してアライメントを行なうグローバルアライメント方式を用いてもよい。

#### 【0060】

その後、図 3 (a) に示すように、上記したレジスト膜をマスクにして半導体チップ 20 をドライエッチングする。このとき、半導体チップ 20 のエッチングはその素子形成面に形成された接続パッド 21 でストップし、これにより半導体チップ 20 の背面から素子形成面側の接続パッド 21 まで到達する深さのビアホール 20a が形成される。なお、ドライエッチングの代わりに、レーザを用いて半導体チップ 20 にビアホール 20a を形成してもよい。

#### 【0061】

第 1 絶縁膜 24 として不透明膜を使用する場合には、X 線又は IR (赤外線) を半導体チップ 20 に照射して透過させることにより、その素子形成面側の所定パターンを認識して位置合わせを行なうことができる。

#### 【0062】

また、薄型化された半導体チップ 20 の厚みが 10  $\mu$ m 程度以下とする場合には、可視光線を半導体チップ 20 に照射して透過させることにより、素子形成面側の所定パターンを認識して位置合わせを行なうことができる。この場合、X 線又は IR (赤外線) を使用しないので、高価な製造装置を使用する必要がなくなり、製造装置のコストダウンを図ることができる。

#### 【0063】

その後、図 3 (b) に示すように、半導体チップ 20 及び第 1 絶縁膜 24 上に第 2 絶縁膜 25 を形成する。第 2 絶縁膜としては、前述した第 1 絶縁膜 24 で例示した樹脂フィルムと同様なものを使用することができる。この場合、半導体チップ 20 に形成されたビアホール 20a は空洞として残る。これにより、第 1 絶縁膜 24 と第 2 絶縁膜 25 とにより構成される層間絶縁膜 26 が形成される。

#### 【0064】

次いで、図 3 (c) に示すように、半導体チップ 20 のビアホール 20a 部を含む所定領域を開口するようにしてフォトリソグラフィによりレジスト膜 (不図

示) を第 2 絶縁膜 25 上にパターンングした後、このレジスト膜をマスクにして第 2 絶縁膜 25 をエッチングする。これによりビアホール 20 a が再度露出すると共に、それに連通する配線溝 25 a が形成される。

#### 【0065】

なお、第 2 絶縁膜としては、絶縁フィルムを接着する代わりに、半導体チップ 20 及び第 1 絶縁膜 24 上に樹脂を塗布し、熱処理を行なって硬化させることにより樹脂膜を形成するようにしてもよい。この場合は、ビアホール 20 a 内に樹脂膜が充填されるため、配線溝 25 a を形成する工程でビアホール 20 a に充填された樹脂膜を除去するようにする。

#### 【0066】

次に、図 5 (a) ~ (e) を参照しながら、図 3 (c) のビアホール 20 a 及び配線溝 25 a に Cu 膜などを埋め込んで配線パターンを形成する方法を説明する。図 5 (a) は図 3 (c) の A 部を拡大した部分拡大図である。まず、図 5 (b) に示すように、図 5 (a) のビアホール 20 a 及び配線溝 25 a の内面及び第 2 絶縁膜 25 の上にシリコン酸化膜などの無機絶縁膜 28 を CVD 法により形成する。この無機絶縁膜 28 はビアホール 20 a 及び配線溝 25 a に埋め込まれる導電体と半導体チップ 20 との間を絶縁するために形成される。

#### 【0067】

続いて、図 5 (c) に示すように、ビアホール 20 a の底部の無機絶縁膜 28 をレーザなどにより選択的に除去することにより、ビアホール 20 a の底部に接続パッド 21 を露出させる。

#### 【0068】

続いて、図 5 (d) に示すように、図 5 (c) の構造体の上に TiN 膜又は TaN 膜などからなるバリア膜 30 を形成した後、Cu 膜からなるシード膜 32 を形成する。その後、シード膜 32 及びバリア膜 30 をめっき給電層とした電解めっきにより、シード膜 32 上にビアホール 20 a 及び配線溝 25 a を埋め込む膜厚の Cu 膜 34 を形成する。

#### 【0069】

次いで、CMP 法により Cu 膜 34、シード膜 32 及びバリア膜 30 を無機絶

緑膜 28 の上面が露出するまで研磨する。これにより、バリア膜 30、シード膜 32 及び Cu 膜 34 がビアホール 20 a 及び配線溝 25 a に埋め込まれて、導電性プラグ 34 b とそれに繋がった配線パターン 34 a (導電膜パターン) とが形成される。

#### 【0070】

なお、ビアホール 20 a 及び配線溝 25 a 内に導電性ペーストを塗布して埋め込んだ後に、CMP 法で導電性ペーストを研磨することにより導電性プラグ 34 b と配線パターン 34 a とを形成するようにしてもよい。

#### 【0071】

このようにして、図 3 (d) に示すように、半導体チップ 20 の素子形成面の接続パッド 21 と背面側の配線パターン 34 a とがビアホール 20 a 内に充填された導電性プラグ 34 b を介して電氣的に接続される。

#### 【0072】

次いで、半導体チップ 20 をフリップチップ接合する工程 (図 2 (b)) から半導体チップ 20 の背面側に配線パターン 34 a を形成する工程 (図 3 (d)) までの一連の工程を n 回 (n は 1 以上の整数) 繰り返し、続いて最上の半導体チップ 20 をフリップチップ実装し、第 1 絶縁膜 24 を形成した後にこれらを研磨する。これにより配線基板 11 上に薄型化された複数の半導体チップ 20 が 3 次的に積層されて実装される。図 4 (a) では、4 つの半導体チップ 20 が積層されて実装された形態を例示している。

#### 【0073】

次いで、図 4 (b) に示すように、最上の半導体チップ 20 及び第 1 絶縁膜 24 上にシリコン窒化膜又はポリイミド膜などからなるパシベーション膜 36 を形成する。前述した第 1 絶縁膜 24 及び第 2 絶縁膜 25 からなる層間絶縁膜 26 は、例えば樹脂膜からなるため比較的膜の残留応力が大きい状態で形成される。しかも樹脂膜からなる層間絶縁膜 26 が積層されて形成されるため、それらの膜の残留応力によって図 4 (a) の構造体に反りが発生する場合が想定される。

#### 【0074】

しかしながら、本実施形態では、パシベーション膜 36 を形成することにより



、図4 (a) の構造体に反りが発生する場合に反りを矯正できるようにしている。たとえば、層間絶縁膜26の残留応力が引張り応力 (Tensile stress) である場合、パシベーション膜36は層間絶縁膜26の引張り応力を打ち消す圧縮応力 (Compressive Stress) になるように成膜される。

#### 【0075】

続いて、同じく図4 (b) に示すように、配線基板11の半導体チップ20が実装されていない面に露出する導電性プラグ18bにはんだボールを搭載するなどしてバンプ38を形成する。なお、バンプ38を形成する前に配線基板11の半導体チップ20が実装されていない面を研磨して配線基板11の厚みを例えば50～100 $\mu$ m程度に薄くするようにしてもよい。

#### 【0076】

これにより、複数の半導体チップ20が積層されて実装された構造体 (スタックドCSP) が配線基板11の複数の領域に連なって配置される。続いて、図4 (c) に示すように、図4 (b) の複数の構造体を個々に分割することによりスタックドCSP構造を有する本実施形態の半導体装置1が完成する。なお、図4 (a) の複数の構造体を分割した後にバンプ38を形成してもよい。また、2つ以上のスタックドCSP構造を含むように分割してもよい。

#### 【0077】

本実施形態の半導体装置1では、配線基板11上に半導体チップ20がフリップ実装され、この半導体チップ20は第1絶縁膜24で保持された状態でその背面が研削されて薄型化されている。半導体チップ20の背面側には配線パターン34aが形成されていて、この配線パターン34aは半導体チップ20を貫通するビアホール20aを介して素子形成面の接続パッド21に電氣的に接続されている。このような構成の複数の半導体チップ20が層間絶縁膜26の中に埋設された状態で3次元的に積層されて相互接続されて実装されている。

#### 【0078】

ここで、本実施形態とは違って、例えば、親チップ及び子チップがフェイスアップで配線基板上に積層されて実装され、かつこれらのチップの接続パッドがワイヤボンディング法により配線基板に接続された実装構造を想定してみる。この

場合、子チップは親チップのワイヤボンディング領域を確保した状態で実装されるため、子チップの大きさが制限されてしまうことになる。

#### 【0079】

しかしながら、本実施形態の半導体装置1では、複数の半導体チップ20は半導体チップ20に形成されたビアホール20aを介して相互接合されて配線基板11に電氣的に接続されている。このため、任意の大きさの複数の半導体チップ20をお互いの大きさに制限されることなく配置して積層することができるようになる。従って、実装できる半導体チップの選択が広がって設計の自由度を向上させることができる。

#### 【0080】

また、半導体チップ20の背面に薄膜の無機絶縁膜28を介して配線パターン34aが形成されるようにしたので、複数の半導体チップ20が実装された半導体装置1の厚みを薄くすることができる。

#### 【0081】

さらに、半導体チップ20を貫通するビアホール20aを介して上下の半導体チップ20を垂直方向の配線で相互接続を行なうようにしたので、ワイヤで結線する場合や横方向の配線引き回しを伴って配線する場合より配線長を短くすることができる。これにより、高周波用途の半導体装置では信号速度の高速化に対応できるようになる。

#### 【0082】

また、半導体チップ20として、例えばCPUとメモリとを接近させて実装することで配線を短くすることができるので、半導体装置1の性能を向上させるという観点からも都合がよい。

#### 【0083】

さらに、個片化された半導体チップ20は、配線基板11にフリップチップ実装された後に第1絶縁膜24で保持された状態で研磨されて薄型化されるので、取り扱いが困難な薄型化された半導体チップ20をハンドリングする必要がない。このようにすることにより、何ら不具合が発生することなく半導体チップ20の厚みを10 $\mu$ m程度に薄型化することができるようになる。

## 【0084】

また、半導体チップ20が研削されるときに第1絶縁膜24も同時に研削されるようにしたため、薄型化された後の半導体チップ20と第1絶縁膜24との研削面を略同一の高さになるように平坦化することができる。

## 【0085】

本実施形態では半導体チップ20のバンプ23が接合されて実装された形態を例示しているが、上記したように実装面が平坦化されているため、上側の半導体チップ20の接続パッド21を下側の半導体チップ20の背面側の配線パターン34aにバンプ23を介することなく直接接合して実装することも可能となる。しかも、配線基板11の配線パターン18aはダマシン法で形成されることから配線基板11の実装面も平坦化されているので、配線基板11に接合される最下の半導体チップ20においても同様にバンプ23を省略することが可能になる。

## 【0086】

このように、実装される複数の半導体チップ20のバンプ23を省略することが可能になるため、半導体装置1の厚みをさらに薄くすることができるようになる。

## 【0087】

なお、第1実施形態では、積層された複数の半導体チップ20がそれらに形成されたビアホール20aを介して相互に接続された形態を例示したが、後述する第2実施形態のように半導体チップ近傍の第1絶縁膜24に形成されたビアホールを介して複数の半導体チップ20が相互に接続されるようにしてもよい。

## 【0088】

また、シリコン基板10に代えて、ガラス基板を用いて第1実施形態の半導体装置を製造してもよい。この場合、無機絶縁膜12を形成する必要はない。

## 【0089】

(第2の実施の形態)

図6～図9は本発明の第2実施形態に係る半導体装置の製造方法を工程順に示す断面図である。第2実施形態が第1実施形態と異なる点は、絶縁基板を用いて配線基板を形成すると共に、半導体チップの近傍の絶縁膜に形成されたビアホー

ルを介して積層された複数の半導体チップを相互接続することにある。なお、第1実施形態と同様な工程についてはその詳しい説明を省略する。

#### 【0090】

本発明の第2実施形態の半導体装置の製造方法は、まず、図6(a)に示すように、絶縁基板40を用意する。絶縁基板40としては、FR4又はBTなどからなる樹脂基板、ガラス基板、セラミック基板及びサファイア基板などの群から選択されるものを使用することができる。

#### 【0091】

その後、図6(b)及び(c)に示すように、絶縁基板40に配線溝40aを形成した後、配線溝40aの底面所定部から裏面に貫通するスルーホール40bを形成する。続いて、図6(d)に示すように、第1実施形態と同様な方法により、配線溝40a及びスルーホール40bが形成された絶縁基板40上にバリア膜14とシード膜16とを順次形成した後、電解めっきにより配線溝40a及びスルーホール40bを埋め込む膜厚でCu膜18を形成する。なお、第2実施形態では、絶縁基板40を用いるため、バリア膜14を形成する前に無機絶縁膜を形成しなくてもよい。

#### 【0092】

次いで、図7(a)に示すように、第1実施形態と同様な方法で、Cu膜18、シード膜16及びバリア膜14を絶縁基板40の上面が露出するまでCMP法により研磨する。これにより、スルーホール40b内に充填された導電性プラグ18bとそれに接続された配線パターン18aとが形成されて配線基板11aが得られる。

#### 【0093】

なお、ダマシン法を用いてスルーホール10b内に充填された導電性プラグ18bとそれに接続された配線パターン18aとを形成する形態を例示したが、ビルドアップ配線用のベース基板（スルーホールCuめっき層が形成され、孔が樹脂で埋められたもの）を用意し、いわゆるアディティブ法又はサブトラクティブ法によりスルーホールCuめっき層に接続されるCu配線を形成して配線パターンとしてもよい。

## 【0094】

その後、図7(b)に示すように、第1実施形態と同様な方法により、複数の良品の半導体チップ20を配線基板11aの配線パターン18aにフリップチップ接合する。続いて、図7(c)に示すように、半導体チップ20の少なくとも背面が露出するような膜厚で、配線基板11上に第1絶縁膜24を形成する。この第1絶縁膜24の形成方法の一例としては、まず、配線基板11を300rpm程度で低速回転させながらエポキシ系樹脂又はポリイミド系樹脂の塗布液を配線基板11の中央部に所定量滴下し、塗布液を配線基板11の全面に分散させる。次いで、配線基板11を3000rpm程度で高速回転させることにより配線基板11の裏面に回り込んで形成された塗布膜を排斥する。これにより、配線基板11の実装面に半導体チップ20の背面が露出する膜厚で塗布膜が形成される。

## 【0095】

その後、塗布膜を150℃の雰囲気のアオーブンで熱処理することにより塗布膜を硬化させて樹脂膜を形成する。これにより、半導体チップ20の背面が露出する状態で複数の半導体チップ20間にいわゆるフィレット形状で樹脂膜からなる第1絶縁膜24が形成される。第2実施形態では、このようにして半導体チップ20が第1絶縁膜24により支持される。

## 【0096】

続いて、図7(d)に示すように、第1実施形態と同様な方法により、半導体チップ20と第1絶縁膜24とをグラインダーにより研削することにより半導体チップ20の厚みを20μm程度に薄型化する。なお、第1実施形態と同様に、グラインダーで研削した後にCMPで研磨してもよい。

## 【0097】

次いで、図8(a)に示すように、半導体チップ20近傍の第1絶縁膜24における配線基板11の配線パターン18aの所定部に対応する部分をレーザにより開口することによりビアホール24aを形成する。あるいは、第1絶縁膜24として感光性ポリイミド樹脂を使用し、それを露光・現像することによりビアホール24aを形成してもよい。

## 【0098】

その後、図8（b）に示すように、第1実施形態と同様な方法により、第1絶縁膜24及び半導体チップ20上に第2絶縁膜25を形成する。これにより、第1絶縁膜24と第2絶縁膜25とにより構成される層間絶縁膜26が形成される。

## 【0099】

次いで、図8（c）に示すように、第2絶縁膜25のビアホール24aに対応する部分を含む所定領域をエッチングして配線溝25aを形成する。これにより、ビアホール24aとそれに連通する配線溝25aが形成される。なお、第2実施形態においても、第2絶縁膜25としては、樹脂フィルムに代えて樹脂膜を使用するようにしてもよい。

## 【0100】

次いで、図8（d）に示すように、図8（c）の構造体の上に、第1実施形態と同様な方法により、下から順に、バリア膜、シード膜及びCu膜（不図示）を形成し、これらを研磨することにより導電性プラグ34bとそれに繋がった配線パターン34aとを形成する。これにより、配線基板11の配線パターン18aは、導電性プラグ34bを介して半導体チップ20の背面側に形成された配線パターン34aに電氣的に接続される。

## 【0101】

次いで、図9（a）に示すように、配線基板11に半導体チップ20をフリップチップ接合する工程（図7（b））から半導体チップ20の背面側に配線パターン34aを形成する工程（図8（d））までの一連の工程をn回（nは1以上の整数）繰り返す。続いて、最上の半導体チップ20をフリップチップ実装し、第1絶縁膜24を形成した後これらを研磨する。

## 【0102】

これにより配線基板11上に薄型化された複数の半導体チップ20が3次的に積層されて実装される。その後に、最上の半導体チップ20を被覆する第2絶縁膜25を形成する。なお、図9（a）では4つの半導体チップ20が第1絶縁膜24に形成されたビアホール24a及び配線パターン34aを介して相互接続

されて実装されている形態を例示している。

#### 【0103】

次いで、図9（b）に示すように、第1実施形態と同様に、図9（a）の構造体の反りを矯正する目的を兼ねて、第2絶縁膜25上にパシベーション膜36を形成する。続いて、配線基板11の半導体チップ20が実装されていない面に露出する導電性プラグ18bに接続されるバンプ38を形成する。

#### 【0104】

その後に、第1実施形態と同様に、図9（b）の複数の構造体を個々に分割することによりスタックドCSP構造を有する第2実施形態の半導体装置1aが完成する。

#### 【0105】

第2実施形態の半導体装置1aでは、第1実施形態と違って、複数の半導体チップ20にはそれらを貫通するビアホール20aが形成されておらず、複数の半導体チップ20の近傍の第1絶縁膜24にビアホール24aが形成されている。

#### 【0106】

配線基板11の配線パターン18aに最下の半導体チップ20がフリップ実装され、この半導体チップ20は第1絶縁膜24で保持された状態でその背面が研削されて薄型化されている。半導体チップ20の背面には配線パターン34aが接触した状態で形成されていて、この配線パターン34aは第1絶縁膜24に形成されたビアホール24aを介して素子形成面側の接続パッド21に電氣的に接続されている。このような構成の複数の半導体チップ20が層間絶縁膜26の中に埋設された状態で3次元的に積層されて相互接続されている。

#### 【0107】

第2実施形態の半導体装置1aは第1実施形態と同様な効果を奏する。さらに、第2実施形態では、半導体チップ20の背面に接触した状態で配線パターンが形成されるようにしたので、複数の半導体チップ20が実装された半導体装置1の厚みを薄くすることができる。

#### 【0108】

また、第2実施形態では、半導体チップ20にビアホール20aを形成せずに

第1絶縁膜24にビアホール24aを形成するようにしたので、特別な位置合わせ手段などを導入せずに一般的に使用されるレーザ装置や露光装置を用いることで容易にビアホール24aを形成することができる。従って、第1実施形態より半導体装置の製造コストを低減させることができる。

#### 【0109】

なお、第2実施形態においても、第1実施形態と同様に、各種の変形や変更を行なうことができる。例えば、絶縁基板40を用いて配線基板11を作成し、第1絶縁膜24にビアホール24aを形成せずに、第1実施形態のように半導体チップ20にビアホール20aを形成して複数の半導体チップを相互接続してもよい。

#### 【0110】

##### (第3の実施の形態)

図10は本発明の第3実施形態の半導体装置の製造方法を示す断面図である。前述した第2実施形態において、絶縁基板として特にFR4やBTなどからなる樹脂基板を使用する場合、樹脂基板はシリコン基板に比べて微細加工性が劣るため、ダマシン法における微細な配線溝や貫通ビアホールを形成する工程で製造コストの上昇を招く場合が想定される。第3実施形態はかかる不具合を解消するものである。なお、第1及び第2実施形態と同様な工程の詳しい説明は省略する。

#### 【0111】

本発明の第3実施形態の半導体装置の製造方法は、図10(a)に示すように、まず、絶縁基板40の一方の面にCu配線からなる所定の配線パターン18aが形成された配線基板11bを作成する。この配線パターン18aの形成方法は、絶縁基板40の配線パターン18aが形成される部分に開口部を有する感光性絶縁樹脂膜のパターンを形成し、その開口部に無電解めっきにより選択的にCu膜を成膜する(アディティブ法)。あるいは、絶縁基板40の一方の面に無電解及び電解めっきによりCu膜を成膜し、このCu膜をフォトリソグラフィ及びエッチングによりパターンニングする(サブトラクティブ法)。

#### 【0112】

このように一般的なアディティブ法やサブトラクティブ法で絶縁基板40上に



配線パターン 18a を形成することにより、絶縁基板 40 を微細加工して配線溝や貫通ビアホールを形成する工程を必要としないため、配線基板の製造コストの上昇が抑制される。

#### 【0113】

続いて、同じく図 10 (a) に示すように、第 2 実施形態と同様な方法により、配線基板 11b の配線パターン 18a に電氣的に接続される複数の半導体チップ 20 を積層して実装する。

#### 【0114】

その後、図 10 (b) に示すように、最上の半導体チップ 20 上の配線パターン 34a 及び第 2 絶縁膜 25 上にパシベーション膜 36 を形成する。次いで、配線基板 11b の配線パターン 18a における外側部上に積層された層間絶縁膜 26 及びパシベーション膜 36 をドリルやレーザーなどによりエッチングすることにより、配線基板 11 の配線パターン 18a の一部を露出させるビアホール 42 を形成する。

#### 【0115】

次いで、このビアホール 42 の中に導電性ペーストを充填するなどして配線基板 11b の配線パターン 18a に接続される導電性プラグ 44 を形成した後、導電性プラグ 44 に接続されるバンプ 38 を形成する。

#### 【0116】

その後、第 1 実施形態と同様に、図 10 (b) の構造体を個々に分割することによりスタックド CSP 構造を有する本実施形態の半導体装置 1b が完成する。

#### 【0117】

第 3 実施形態の半導体装置 1b では、配線基板 11b 上に第 2 実施形態と同様な構造で複数の半導体チップ 20 が相互接続されて積層されている。配線基板 11b の配線パターン 18a は、積層された層間絶縁膜 26 に形成されたビアホール 42 を介してパシベーション膜 36 側の面に形成されたバンプ 38 に接続された構成となっている。

#### 【0118】

第 3 実施形態は第 2 実施形態と同様な効果を奏する。これに加えて、絶縁基板

40を微細加工しないようにしたので、シリコン基板より微細加工性が劣る樹脂基板などを用いる場合であっても、製造コストの上昇させることなく本発明の実施形態の半導体装置を容易に製造することができるようになる。

#### 【0119】

(第4の実施の形態)

図11は本発明の第4実施形態の半導体装置を示す断面図である。第4実施形態は配線基板の両面に複数の半導体チップをそれぞれ積層して実装した形態である。図11において図9(c)と同一要素については同一符号を付してその詳しい説明を省略する。

#### 【0120】

第4実施形態の半導体装置1cは、図11に示すように、第2実施形態の半導体装置1a(図9(c))において配線基板11の裏面(バンプ38が搭載された面)側にも複数の半導体チップが同様に積層された形態を例示している。すなわち、第4実施形態の配線基板11では、その裏面側にも配線パターン18cが形成されていて、この配線パターン18cは配線基板11のスルーホール10bに充填された導電性プラグ18bを介して表面側の配線パターン18aに電氣的に接続されている。

#### 【0121】

そして、裏面側の配線パターン18cに半導体チップ20のバンプ23がフリップチップ接合されている。さらに、この半導体チップ20の背面側には配線パターン34aが形成されていて、この配線パターン34aは第1絶縁膜24に形成されたビアホール24aを介して素子形成面側の接続パッド21に電氣的に接続されている。このような構成の複数の半導体チップ20が層間絶縁膜26の中に埋設された状態で3次元的に積層されて相互接続されている。

#### 【0122】

第4実施形態の半導体装置1cは配線基板11の両面に薄型化された半導体チップ20がそれぞれ複数積層されて実装されるようにしたため、第1～第3実施形態より実装密度を向上させることができる。

#### 【0123】

なお、第2実施形態の実装方法で配線基板11の両面に半導体チップ20が複数積層された形態を例示したが、第1実施形態の実装方法で配線基板11の両面に半導体チップが複数積層された形態としてもよい。

#### 【0124】

また、第3実施形態の半導体装置1b（図10（c））において、配線基板11bとして両面の配線パターンがスルーホールを介して相互接続されたものを使用し、配線基板11bの半導体チップ20が実装されていない面にも配線パターンに電氣的に接続された半導体チップが複数積層された形態としてもよい。

#### 【0125】

（第5の実施の形態）

図12及び図13は本発明の第5実施形態の半導体装置の製造方法を示す断面図である。第5実施形態は、配線基板として所定の配線パターン（接続パッド）を備えた金属板を用い、この金属板の配線パターンに接続される半導体チップを第1又は第2実施形態の実装方法で複数積層して実装した後に、金属板のみを選択的に除去する形態である。なお、他の実施形態と同一要素及び同一工程についてはその詳しい説明を省略する。

#### 【0126】

第5実施形態の半導体装置の製造方法は、まず、図12（a）に示すように、銅などからなる金属板50を用意し、この金属板50の一方の面に、配線パターンが形成される部分に開口部52aを有するレジスト膜52をフォトリソグラフィにより形成する。このとき、金属板50の他方の面がレジスト膜52で被覆されるようにする。

#### 【0127】

その後、図12（b）に示すように、金属板50をめっき給電層に利用した電解めっきにより、レジスト膜52をマスクにしてその開口部52a内に金層54a、ニッケル層54b及び金層54cを順次形成する。その後に、レジスト膜52を除去する。これにより、図12（c）に示すように、金層54a、ニッケル層54b及び金層54cから構成される配線パターン（接続パッド）54が金属板50上に形成される。

## 【0128】

次いで、図13(a)に示すように、第1実施形態と同様な実装方法により、金属板50上の配線パターン54に電氣的に接続された複数の半導体チップ20を実装する。なお、第2実施形態の実装方法で半導体チップ20を実装してもよい。

## 【0129】

続いて、図13(b)に示すように、最上の半導体チップ20を被覆するパシベーション膜36を形成する。次いで、金属板50を配線パターン54及び第1絶縁膜24に対して選択的にエッチングして除去する。例えば、金属板50が銅からなる場合、塩化第二鉄水溶液、塩化第二銅水溶液又は過硫酸アンモニウム水溶液などを用いたウェットエッチングにより、配線パターン54（金層／ニッケル層／金層）及び第1絶縁膜（樹脂膜）24に対して金属板50を選択的にエッチングして除去することができる。これにより、半導体チップ20に接続された配線パターン54が第1絶縁膜24の下面に露出する。

## 【0130】

その後に、金属板50が除去されて露出した配線パターン54に接続されるバンプ38を形成する。次いで、図13(c)に示すように、第1実施形態と同様に、図13(b)の複数の構造体を個々に分割することによりスタックドCSP構造を有する第5実施形態の半導体装置1dが完成する。

## 【0131】

このようにして製造された半導体装置1dでは、積層された複数の半導体チップ20のうちの最下の半導体チップ20のバンプ23は、下側面がバンプ38に接続されて第1絶縁膜24に埋め込まれた配線パターン54の上側面にフリップチップ接合されている。そして、最下の半導体チップ20以外の半導体チップ20は、それぞれ下側の半導体チップ20の背面側に形成された配線パターン34aにフリップチップ接合されている。このようにして、3次元的に積層された複数の半導体チップ20は、半導体チップ20に形成されたビアホール20aを介して相互接続されている。

## 【0132】

第5実施形態の半導体装置1dは、第1実施形態と同様な効果を奏すると共に、配線基板を備えていないので配線基板を備えた他の実施形態の半導体装置よりその厚みを薄くすることができる。

### 【0133】

(第6の実施の形態)

図14及び図15は本発明の第6実施形態の半導体装置の製造方法を示す断面図である。第6実施形態が第5実施形態と異なる点は、金属板上に配線パターンを形成するばかりではなく、金属板の内部に配線パターンに接続されたバンプを予め形成しておくことにある。なお、他の実施形態と同一要素及び同一工程についてはその詳しい説明を省略する。

### 【0134】

第6実施形態の半導体装置の製造方法は、まず、図14(a)に示すように、第5実施形態と同様な方法により、銅などからなる金属板50の一方の面に配線パターンを形成するための開口部52aを有するレジスト膜52をパターンニングし、他方の面をレジスト膜52で被覆する。

### 【0135】

その後、図14(b)に示すように、レジスト膜52をマスクにして金属板50の露出部をエッチングすることにより凹部50aを形成する。続いて、金属板50をめっき給電層に利用した電解めっきにより、レジスト膜52をマスクにして金属板50の凹部50a内にはんだめっきを施してはんだ層38aを形成する。

。

### 【0136】

次いで、図14(c)に示すように、上記した電解めっきと同様な方法により、レジスト膜52の開口部52aに第5実施形態と同様な積層膜(金層/ニッケル層/金層)からなる配線パターン54を形成する。その後に、レジスト膜52を除去する。これにより、図14(d)に示すように、金属板50の凹部50a内にはんだ層38aが充填され、はんだ層38aに接続されて形成された配線パターン54が得られる。このはんだ層38aは後工程でバンプとなるものである。

。

## 【0137】

次いで、図15 (a) に示すように、第1実施形態と同様な実装方法により、金属板50上の配線パターン54に電氣的に接続された複数の半導体チップ20を実装する。なお、第2実施形態の実装方法で半導体チップ20を実装してもよい。

## 【0138】

次いで、図15 (b) に示すように、最上の半導体チップ20を被覆するパシベーション膜36を形成する。続いて、金属板50をはんだ層38a及び第1絶縁膜24に対して選択的にエッチングして除去する。例えば、金属板50が銅からなる場合、第5実施形態と同様なウェットエッチャントを用いることにより、はんだ層38a及び第1絶縁膜（樹脂膜）24に対して金属板50を選択的に除去することができる。これにより、はんだ層38aが露出してバンプ38となる。

## 【0139】

その後に、第1実施形態と同様に、図15 (b) の複数の構造体を個々に分割することによりスタックドCSP構造を有する第6実施形態の半導体装置1eが完成する。

## 【0140】

第6実施形態は第1実施形態と同様な効果を奏すると共に、第5実施形態と同様に配線基板を備えていないので、他の実施形態より半導体装置の厚みを薄くすることができる。

## 【0141】

以上、第1～第6実施形態により、本発明の詳細を説明したが、本発明の範囲は上記の実施形態に具体的に示した例に限られるものではなく、この発明を逸脱しない要旨の範囲における上記の実施形態の変更は本発明の範囲に含まれる。

## 【0142】

例えば、第1実施形態においても、第3実施形態と同様に、シリコン基板10から構成された配線基板11の配線パターン18aが層間絶縁膜26に形成されたビアホールを介してパシベーション膜36側に搭載されたバンプ38に接続さ

れた形態としてもよい。

#### 【0143】

##### 【発明の効果】

以上説明したように、本発明では、個片化された良品の電子チップを剛性の強い配線基板にフリップチップ接合し、電子チップを絶縁膜で被覆して保持した後に、絶縁膜と電子チップを研削して電子チップを薄型化する。

#### 【0144】

このようにすることにより、電子チップは配線基板に実装された後に絶縁膜で支持された状態で研削されて薄型化されるので、取り扱いが困難な薄型化された電子チップをハンドリングする必要がない。

#### 【0145】

また、電子チップと絶縁膜との研削面を略同一面にして平坦化することが可能になるため、電子チップ上に他の電子チップをフリップ実装する際に接合の信頼性を向上させることができ、しかもバンプを介さずに接合できるようになる。

#### 【0146】

このように、何ら不具合が発生することなく、薄型化された電子チップ（例えば  $150\mu\text{m}$  以下）を配線基板に実装できるようになり、厚みの薄い所望の半導体装置を容易に製造することができる。

##### 【図面の簡単な説明】

#### 【図1】

図1は本発明の第1実施形態に係る半導体装置の製造方法を示す断面図（その1）である。

#### 【図2】

図2は本発明の第1実施形態に係る半導体装置の製造方法を示す断面図（その2）である。

#### 【図3】

図3は本発明の第1実施形態に係る半導体装置の製造方法を示す断面図（その3）である。

#### 【図4】

図 4 は本発明の第 1 実施形態に係る半導体装置の製造方法を示す断面図（その 4）である。

【図 5】

図 5 は図 3（c）～図 3（d）の工程の詳細を示す断面図である。

【図 6】

図 6 は本発明の第 2 実施形態に係る半導体装置の製造方法を示す断面図（その 1）である。

【図 7】

図 7 は本発明の第 2 実施形態に係る半導体装置の製造方法を示す断面図（その 2）である。

【図 8】

図 8 は本発明の第 2 実施形態に係る半導体装置の製造方法を示す断面図（その 3）である。

【図 9】

図 9 は本発明の第 2 実施形態に係る半導体装置の製造方法を示す断面図（その 4）である。

【図 10】

図 10 は本発明の第 3 実施形態に係る半導体装置の製造方法を示す断面図である。

【図 11】

図 11 は本発明の第 4 実施形態の半導体装置を示す断面図である。

【図 12】

図 12 は本発明の第 5 実施形態の半導体装置の製造方法を示す断面図（その 1）である。

【図 13】

図 13 は本発明の第 5 実施形態の半導体装置の製造方法を示す断面図（その 2）である。

【図 14】

図 14 は本発明の第 6 実施形態の半導体装置の製造方法を示す断面図（その 1）



)である。

【図15】

図15は本発明の第6実施形態の半導体装置の製造方法を示す断面図(その2)である。

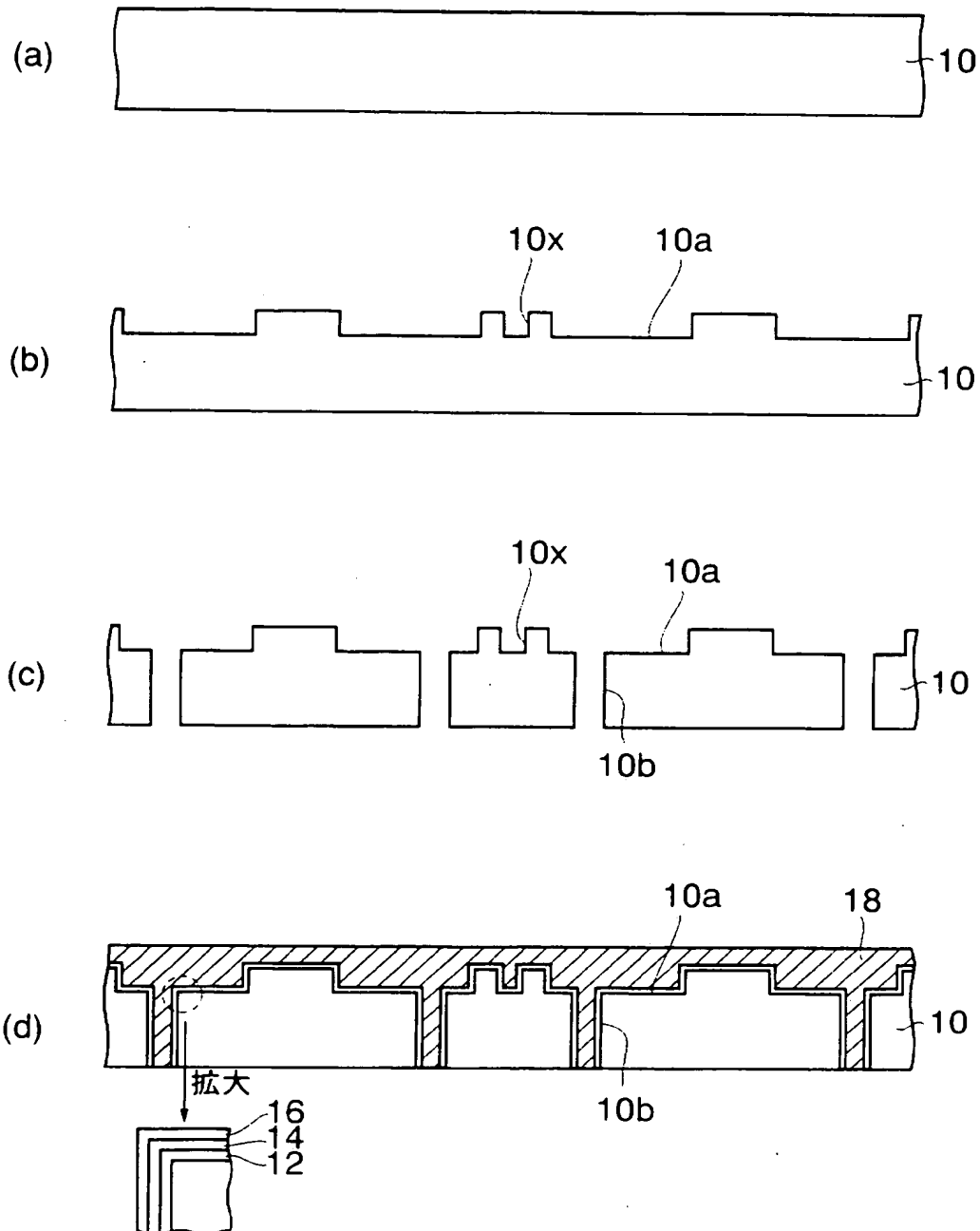
【符号の説明】

1, 1a, 1b…半導体装置、10…シリコン基板、10a, 10x, 25a, 40a…配線溝、10b, 40b…スルーホール、11, 11a, 11b…配線基板、12, 28…無機絶縁膜、14, 30…バリア膜、16, 32…シード膜、18, 34…Cu膜、18a, 54…配線パターン、18b, 34b, 44…導電性プラグ、20…半導体チップ、20a, 24a, 42…ビアホール、21…接続パッド、23…バンプ、24…第1絶縁膜、25…第2絶縁膜、26…層間絶縁膜、34a…配線パターン(導電膜パターン)、36…パシベーション膜、38a…はんだ層、38…バンプ、40…絶縁基板、50…金属板、50a…開口部、54a, 54c…金層、54b…ニッケル層。

【書類名】 図面

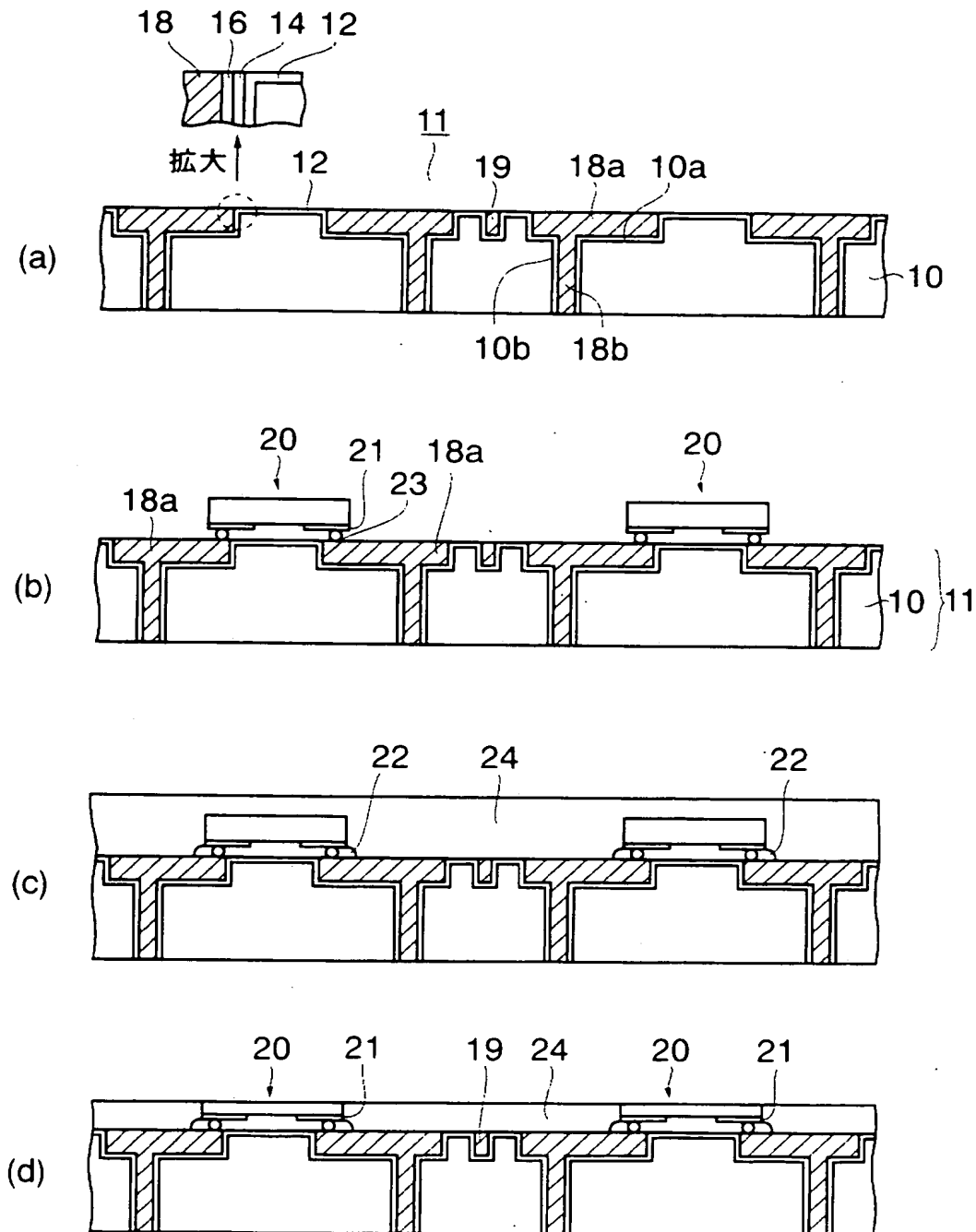
【図 1】

本発明の第1実施形態の半導体装置の製造方法を示す断面図(その1)



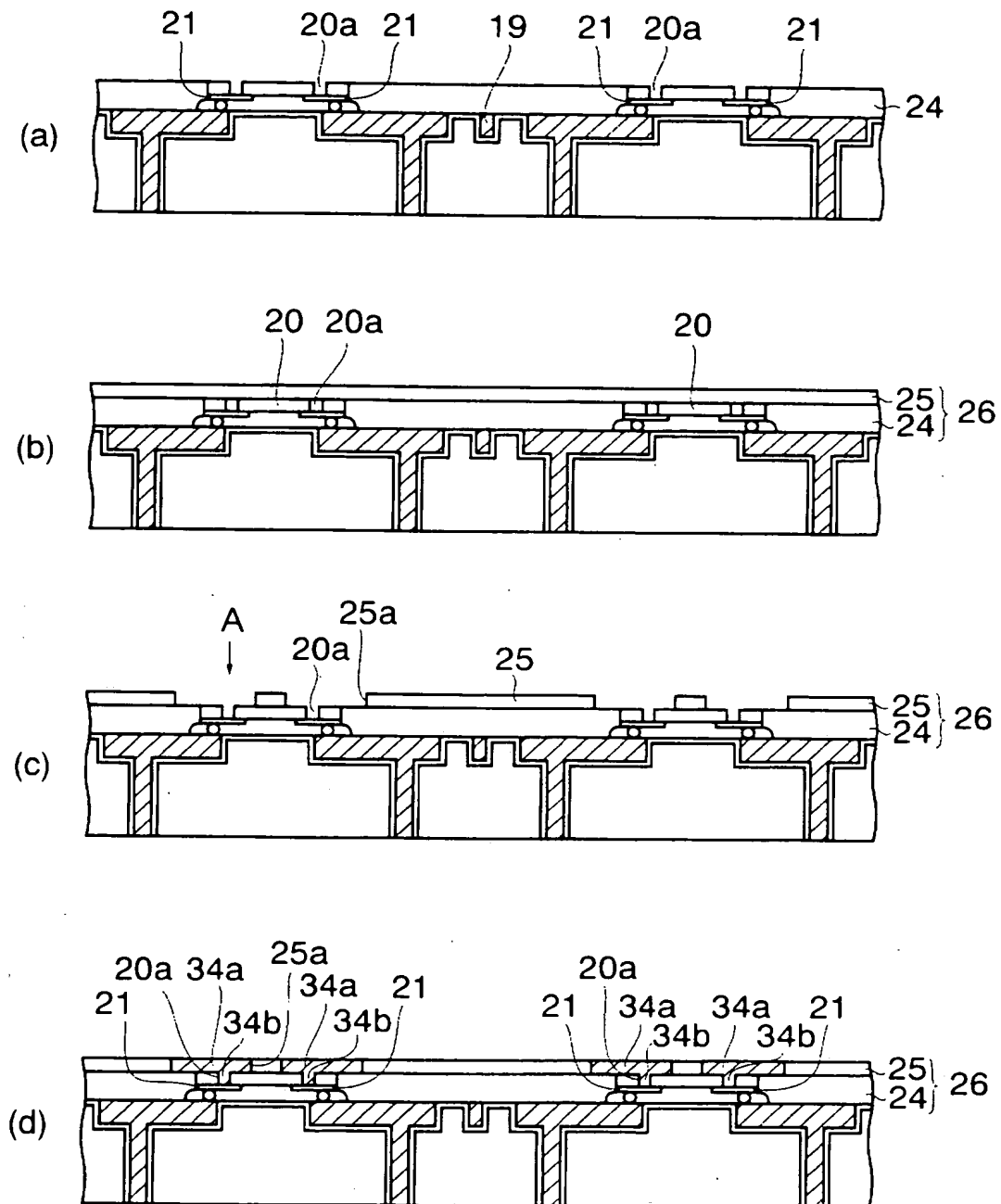
【図 2】

本発明の第1実施形態の半導体装置の製造方法を示す断面図(その2)



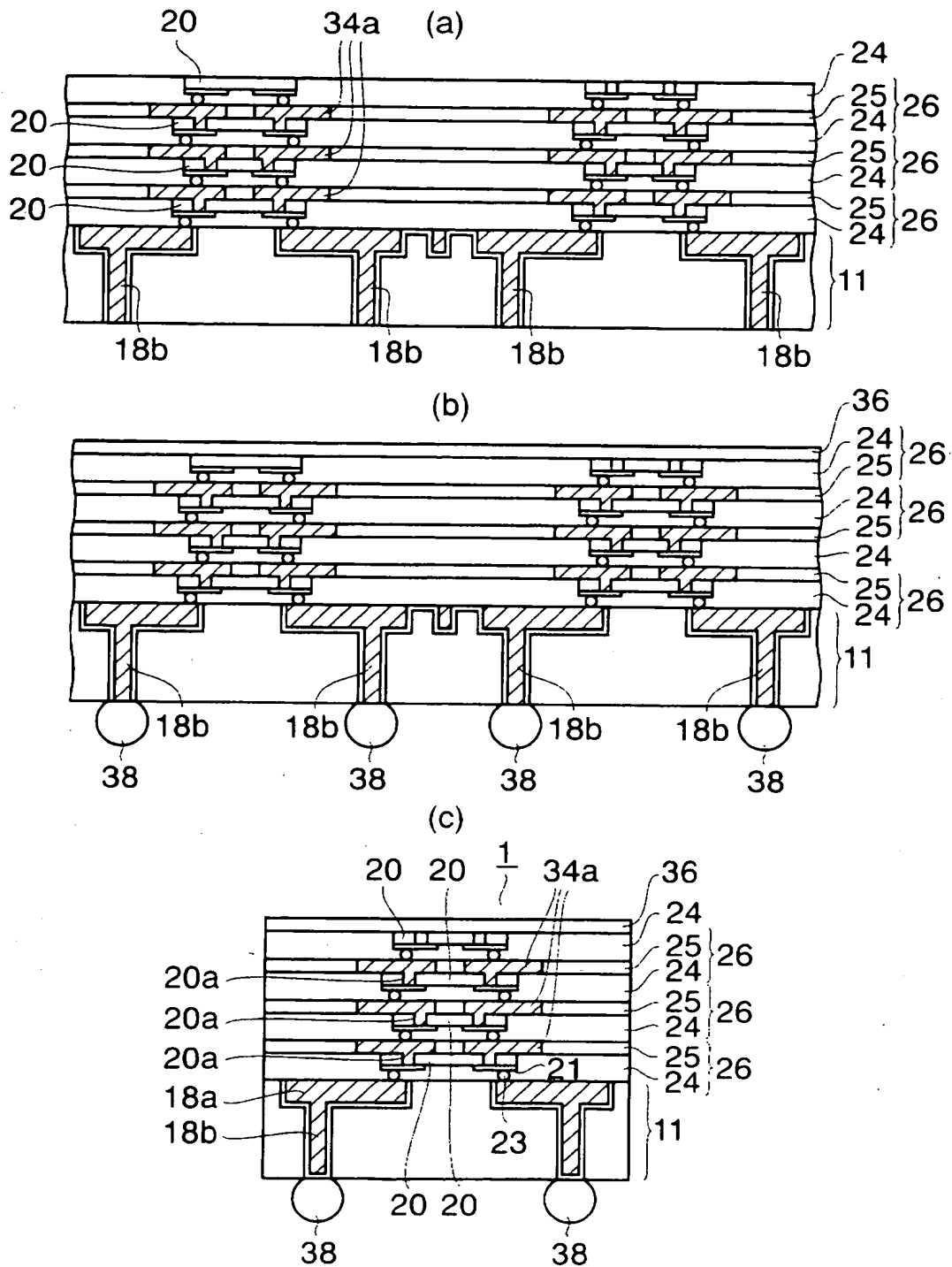
【図 3】

本発明の第1実施形態の半導体装置の製造方法を示す断面図(その3)

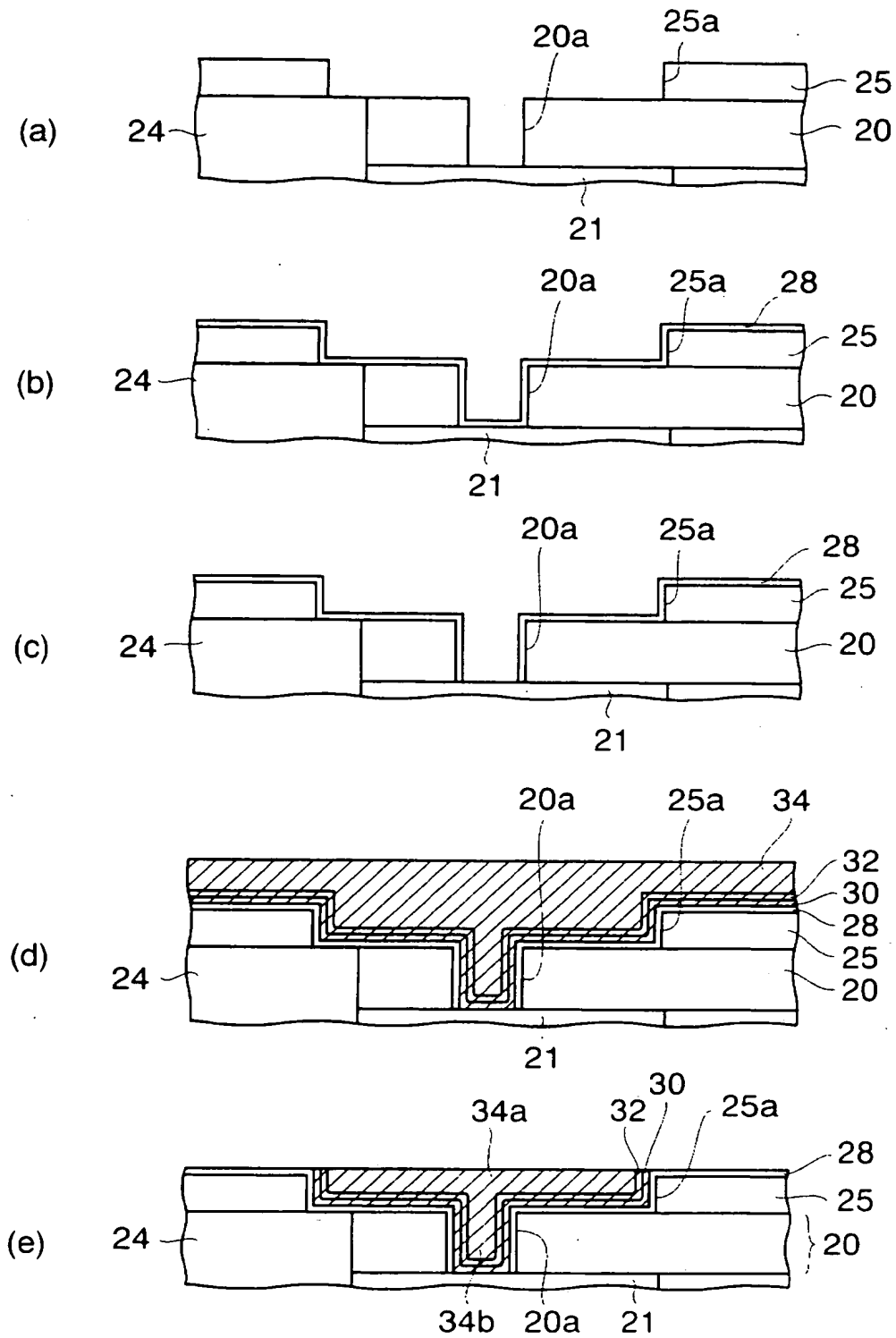


【図 4】

本発明の第1実施形態の半導体装置の製造方法を示す断面図(その4)

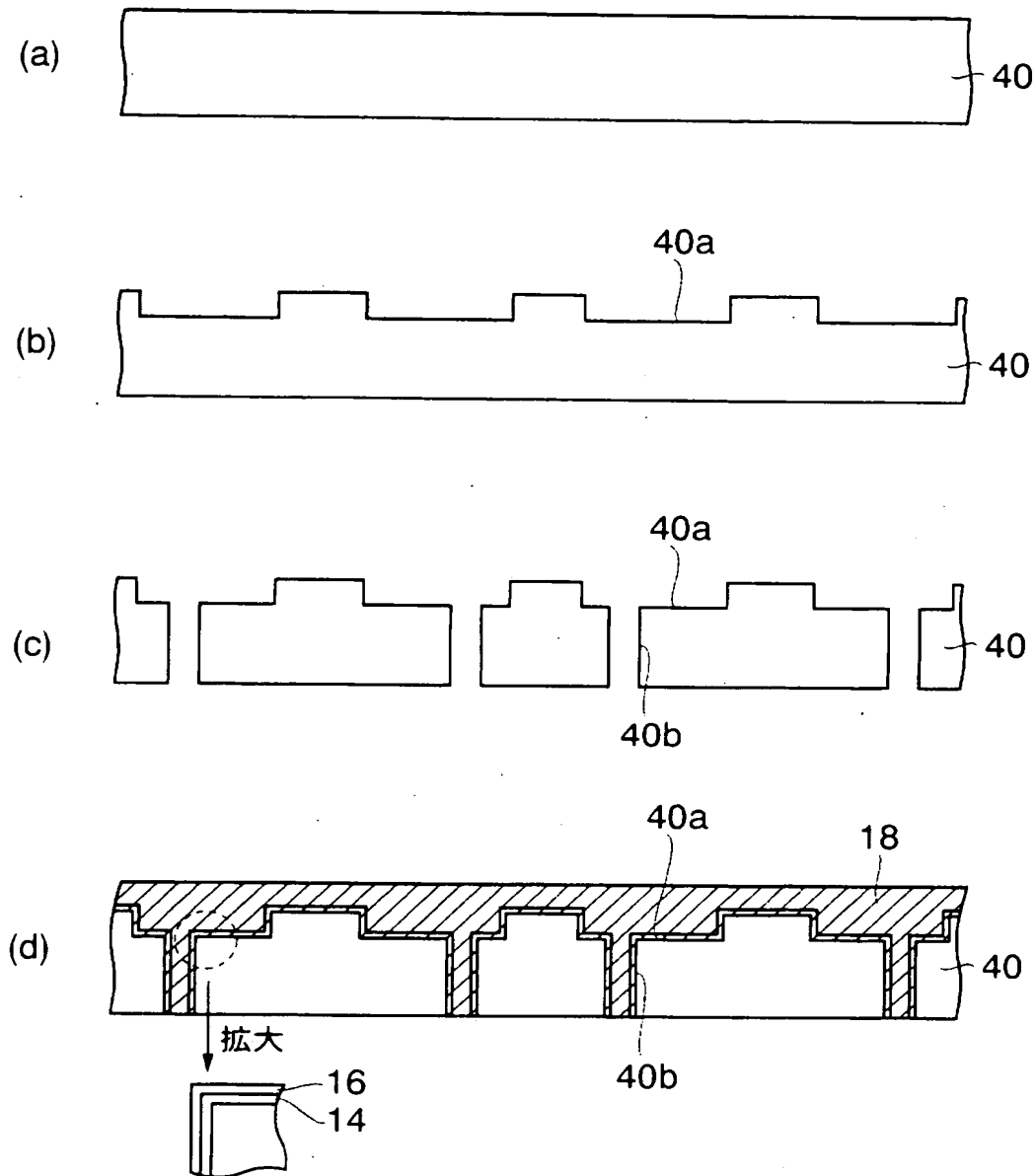


【図 5】



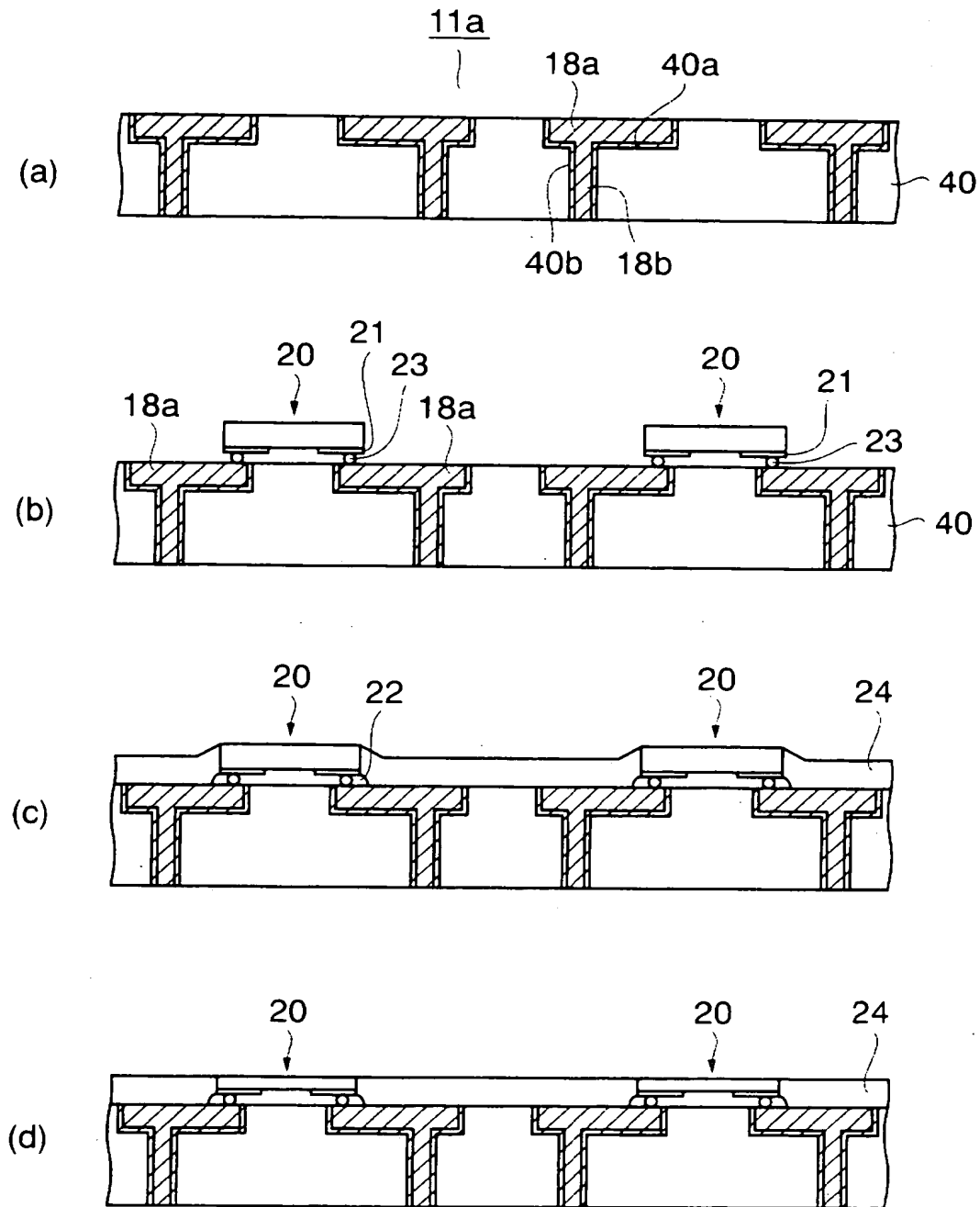
【図 6】

本発明の第2実施形態の半導体装置の製造方法を示す断面図(その1)



【図 7】

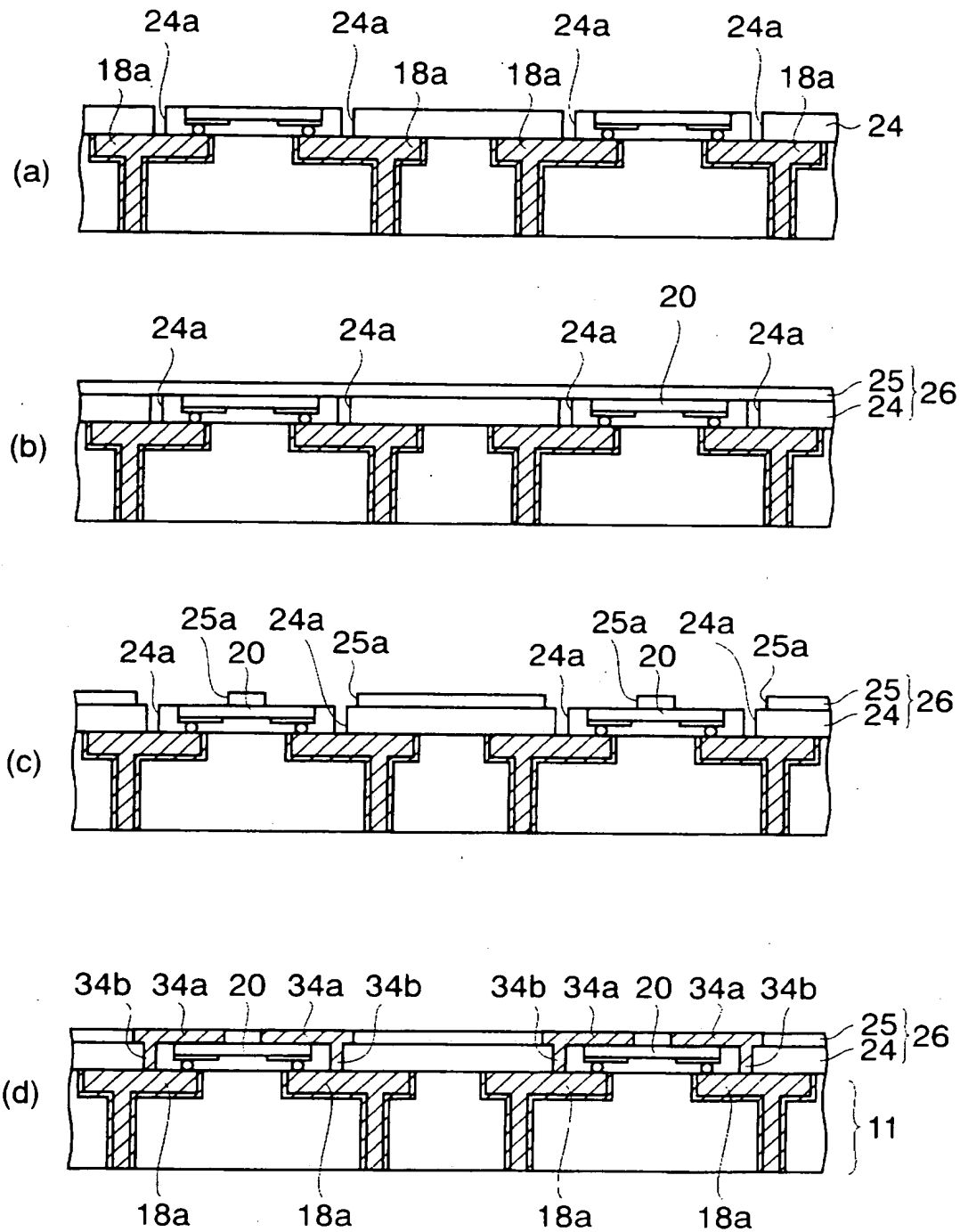
本発明の第2実施形態の半導体装置の製造方法を示す断面図(その2)





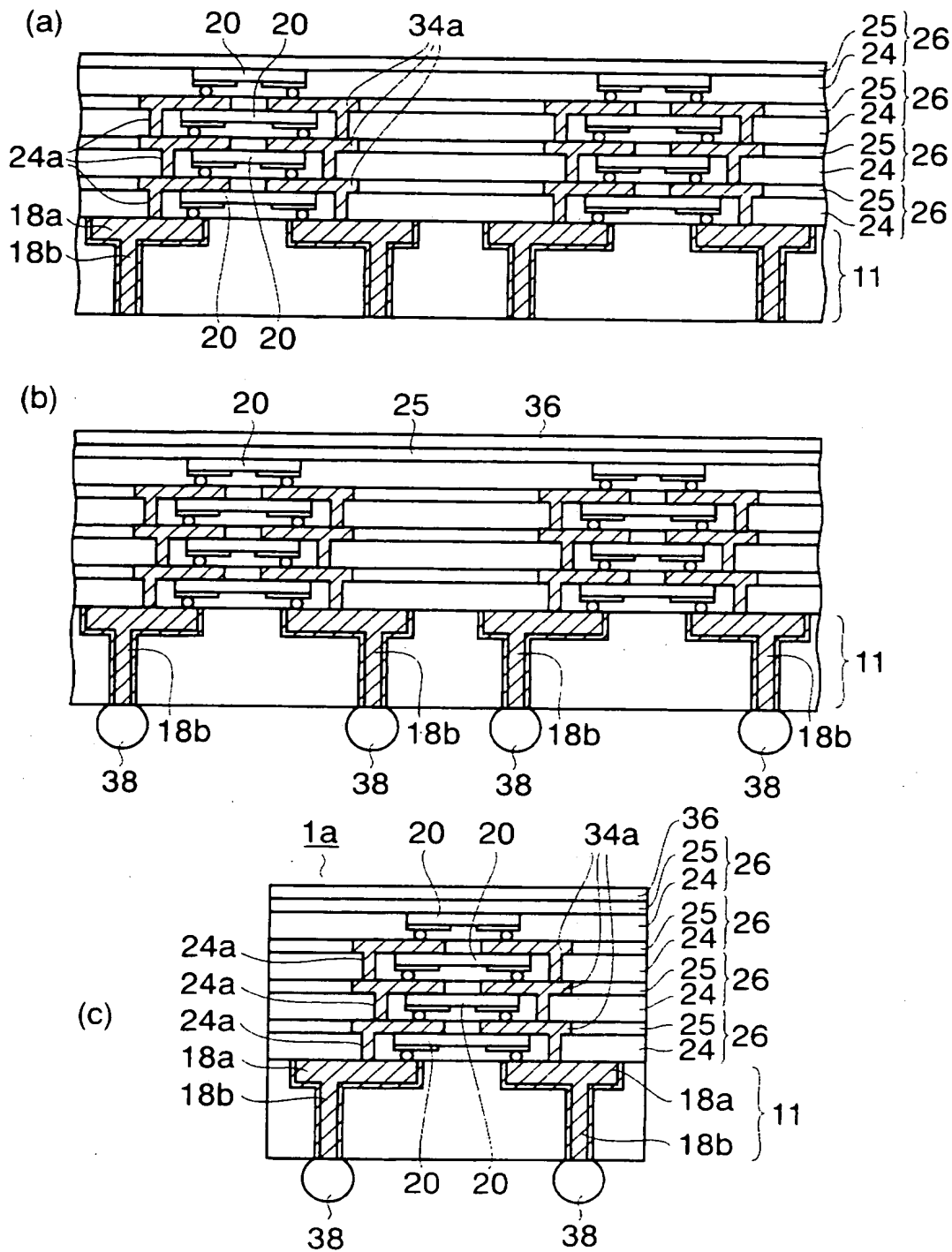
【図 8】

本発明の第2実施形態の半導体装置の製造方法を示す断面図(その3)



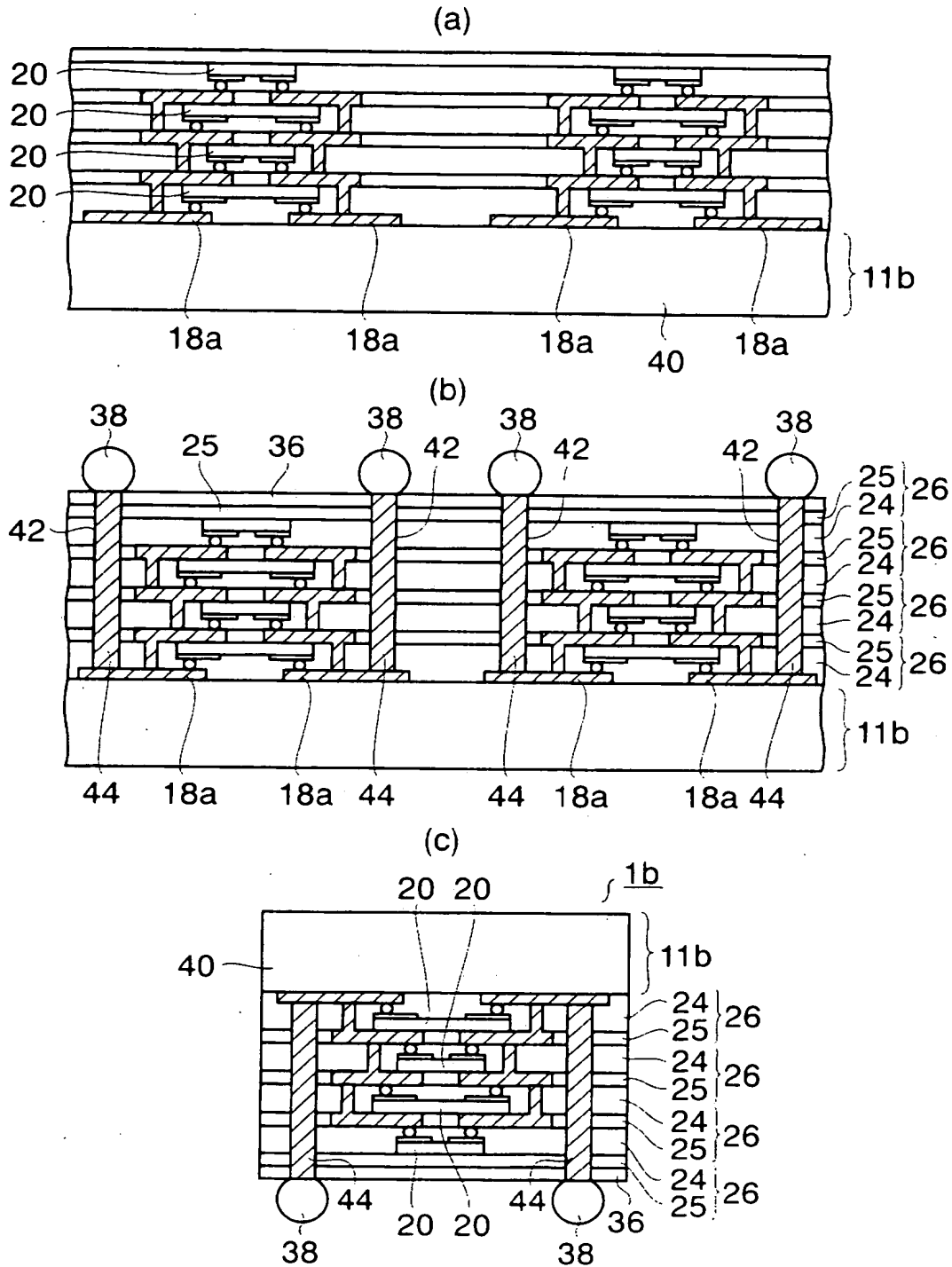
【図 9】

本発明の第2実施形態の半導体装置の製造方法を示す断面図(その4)



【図10】

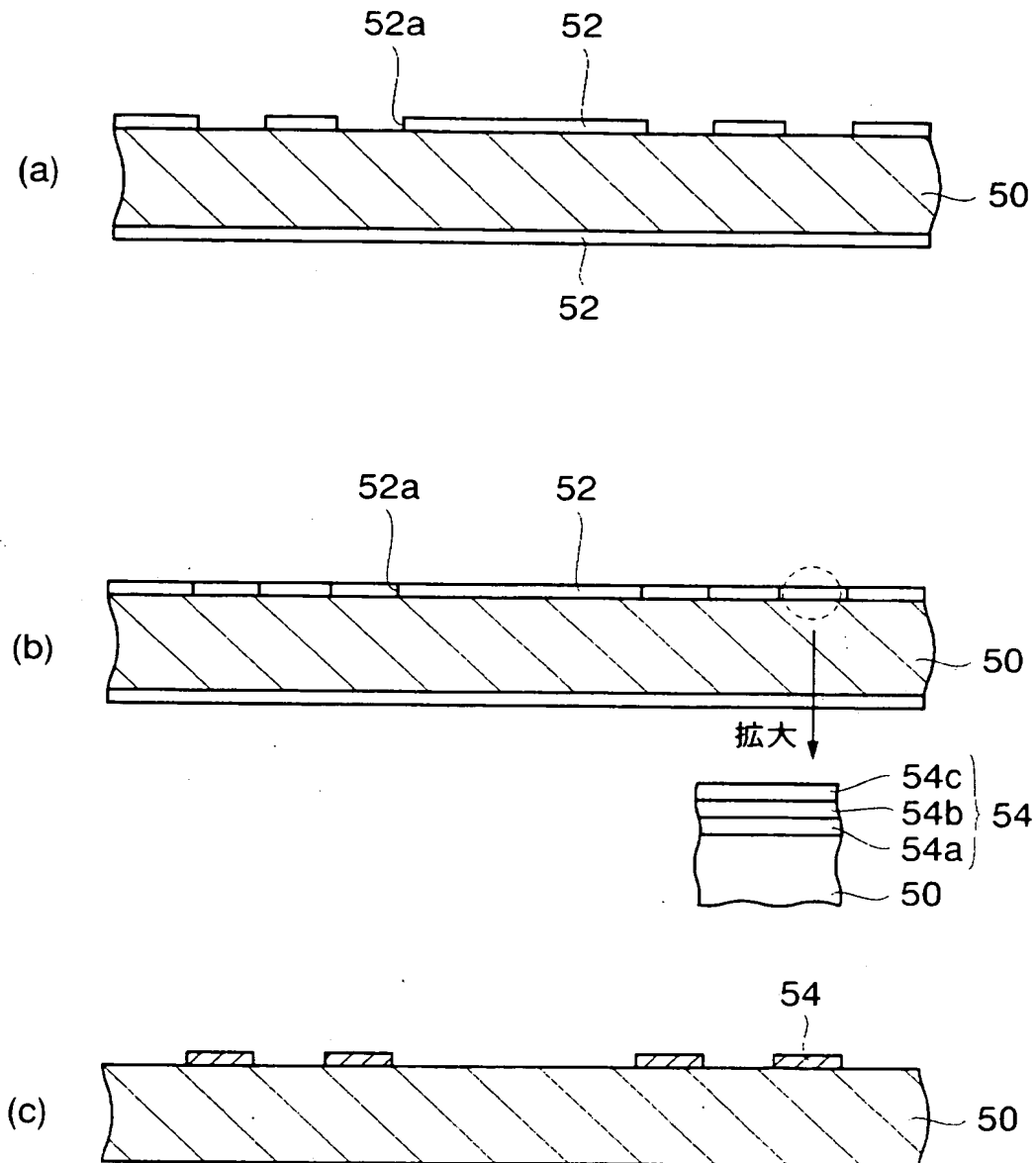
本発明の第3実施形態の半導体装置の製造方法を示す断面図





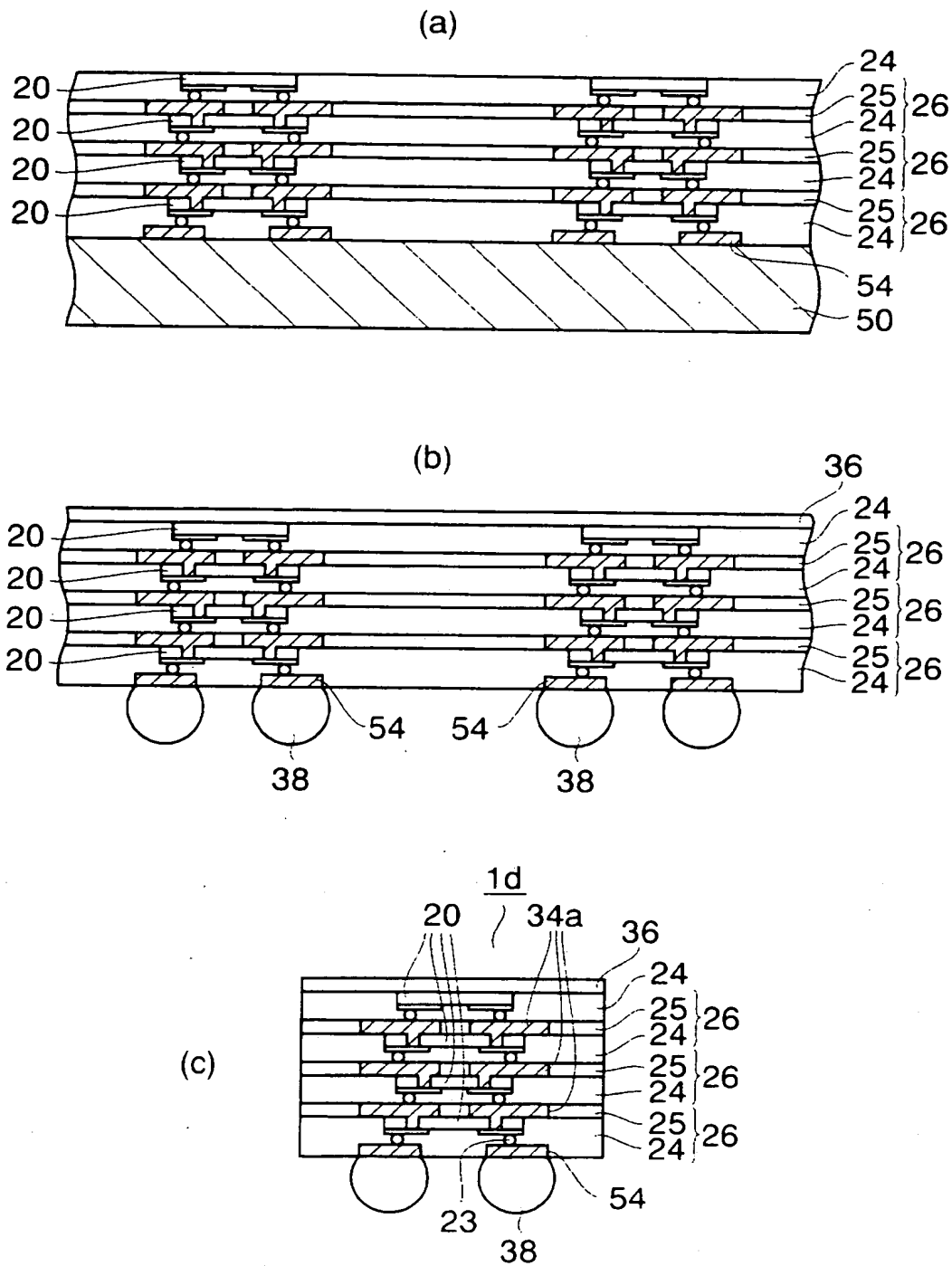
【図 12】

本発明の第5実施形態の半導体装置の製造方法を示す断面図(その1)



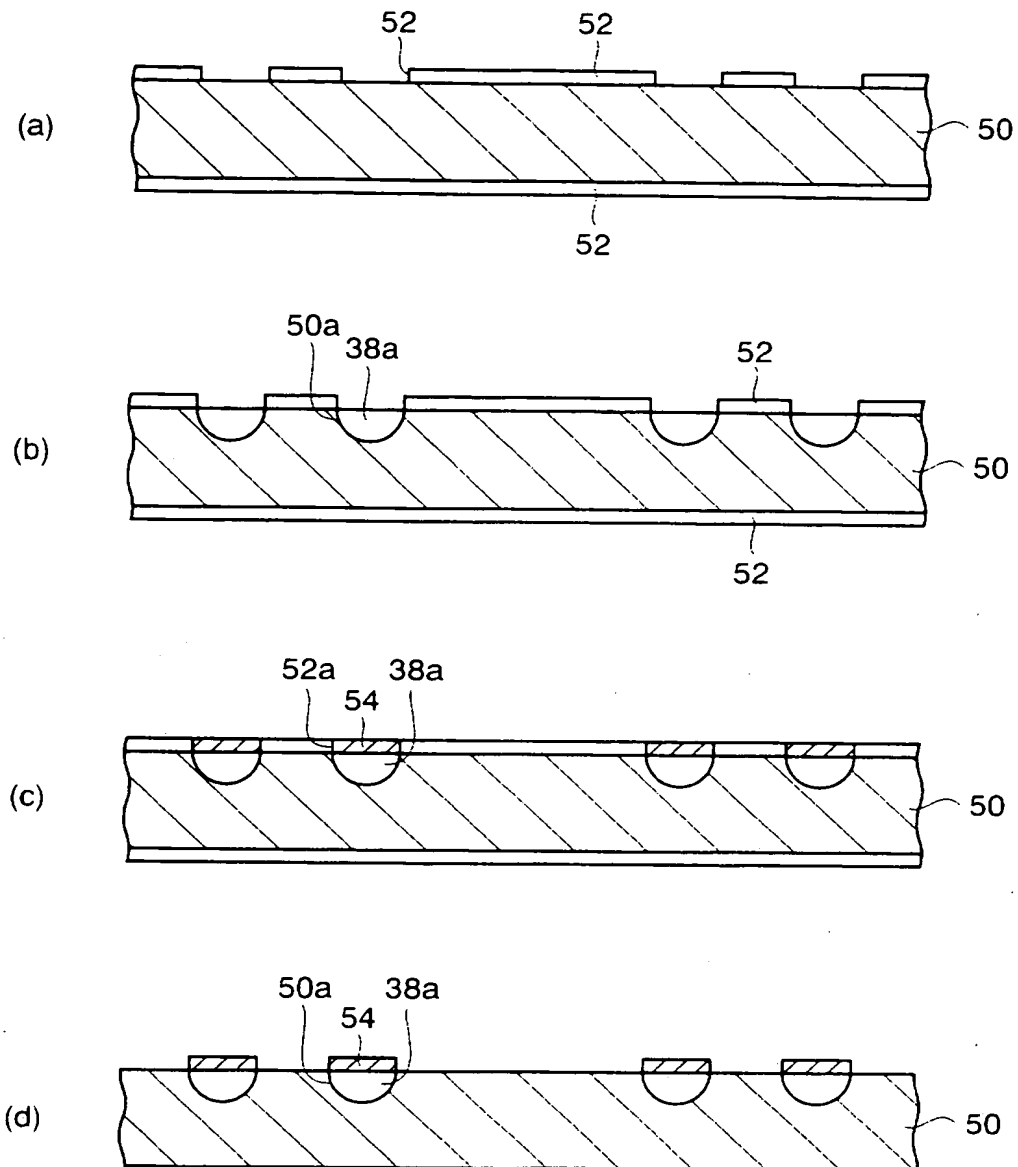
【図 13】

本発明の第5実施形態の半導体装置の製造方法を示す断面図(その2)



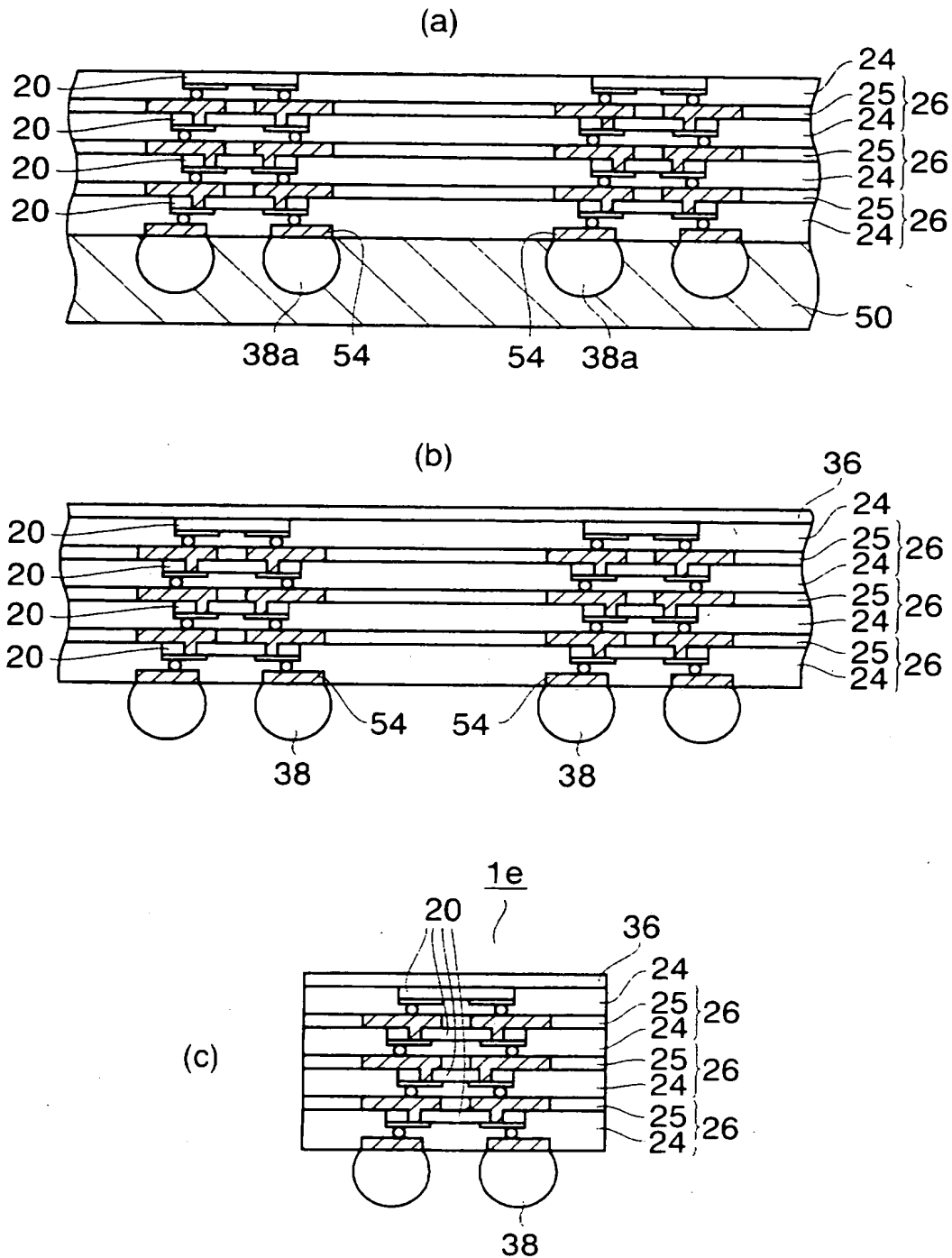
【図 14】

本発明の第6実施形態の半導体装置の製造方法を示す断面図(その1)



【図 15】

本発明の第6実施形態の半導体装置の製造方法を示す断面図(その2)





【書類名】 要約書

【要約】

【課題】 何ら不具合が発生することなく、配線基板上に厚みの薄い電子チップ（例えば  $150\ \mu\text{m}$  以下）を実装することができる半導体装置の製造方法を提供する。

【解決手段】 表面に配線パターン 18a を備えた配線基板 11 を用意する工程と、一方の面に所定素子と接続端子 23 とを備えた電子チップ 20 の接続端子 23 を配線基板 11 の配線パターン 18a にフリップチップ接合する工程と、電子チップ 20 を被覆する膜厚、又は電子チップ 20 の少なくとも他方の面が露出する膜厚で配線基板 11 上に絶縁膜 24 を形成する工程と、絶縁膜 24 及び電子チップ 20 の他方の面を削ることにより、電子チップ 20 の厚みを薄くする工程とを含む。

【選択図】 図 2

特願 2002-320980

出願人履歴情報

識別番号

[000190688]

1. 変更年月日

1990年 8月20日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舎利田711番地

氏 名

新光電気工業株式会社

